

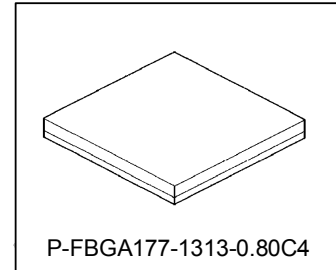
## TC90512XBG

## 国内衛星および地上デジタル放送共用受信機用 復調訂正

TC90512XBG は日本国内における衛星デジタル放送 ISDB-S 方式と地上デジタル放送 ISDB-T 方式に準拠し、これらの復調訂正を行います。

入力信号は衛星デジタル復調では直交検波ベースバンド信号、地上デジタル復調では[直交検波ベースバンド信号](#)または 4MHz および 57MHz 中間周波 (IF) 帯の信号です。出力信号は復調および誤り訂正された MPEG-2 トランスポート信号です。

両方の伝送方式に含まれるすべての伝送モードおよびパラメータに対応し、同時に復調訂正を行うこともできます。



質量 : 0.39g (標準)

## 特長

- 衛星デジタル (ISDB-S) 復調訂正
  - 差動/シングルエンド入力対応ADコンバータ内蔵
  - 適応型位相雑音トラッキング回路内蔵
  - 適応型波形等化器内蔵
  - デインタリーブ用メモリ内蔵
  - IQ直交ずれ補正、IQ利得補正回路内蔵
  - AGC制御出力
  - LNB制御トーン出力
  - 高速チャンネル切替が可能
- 地上デジタル (ISDB-T) 復調訂正
  - 2k/4k/8kキャリアの全モードおよび部分受信含む3階層伝送に対応
  - 連結送信を含む3/1セグメント狭帯域ISDB-Tに対応
  - 伝送モード (キャリア数/ガード期間) 自動判定
  - [IQベースバンド信号](#)または4MHz/57MHz IF信号入力可能
  - 差動/シングルエンド入力対応ADコンバータ内蔵
  - [SFN対応ガード外マルチパスキャンセラ \(ISIC\) 内蔵](#)
  - FFT窓位置の連続制御が可能
  - チューナ位相雑音抑圧回路、同一チャンネル妨害抑圧回路内蔵
  - RF/IF独立AGC制御出力
  - デジタルAGC、AFC回路内蔵
  - [チューナAGC適応制御回路内蔵](#)
  - デジタルフィルタ内蔵
  - [高速チャンネル切替](#)とチャンネルサーチが可能
- 共通
  - スタンドアローンでの動作が可能
  - [クリスタル発振出力端子](#)
  - C/Nモニタ、誤り率モニタ、コンスタレーションモニタ機能内蔵
  - MPEG-2トランスポートストリーム出力 (パラレルまたはシリアル出力)
  - ファーストモード (400kHz) I<sup>2</sup>C対応、チューナ用I<sup>2</sup>C制御端子
  - 緊急警報放送用起動に対応したスタンバイ動作可能 ([衛星](#)、[地上](#)で独立制御)
  - JTAGバウンダリスキャン対応
  - 小型177ピンPFBGAパッケージ (13mm×13mm×1.4mm)
  - 電源電圧 [1.2V](#)、2.5V (I/O部 3.3V)
  - [低消費電力 310mW](#)([衛星](#)/[地上](#)同時復調動作時 typ.)
  - 動作周囲温度 -20~+85°C
  - [90nm CMOSプロセス](#)

● 当社は品質、信頼性の向上に努めておりますが、一般に半導体製品は誤動作したり故障することがあります。当社半導体製品をご使用いただく場合は、半導体製品の誤動作や故障により、生命・身体・財産が侵害されることのないように、購入者側の責任において、機器の安全設計を行うことをお願いします。

なお、設計に際しては、最新の製品仕様をご確認の上、製品保証範囲内でご使用いただくと共に、考慮されるべき注意事項や条件について「東芝半導体製品の取り扱い上のご注意とお願い」、「半導体信頼性ハンドブック」などでご確認ください。

● 本資料に掲載されている製品は、一般的電子機器（コンピュータ、パーソナル機器、事務機器、計測機器、産業用ロボット、家電機器など）に使用されることを意図しています。特別に高い品質・信頼性が要求され、その故障や誤動作が直接人命を脅かしたり人体に危害を及ぼす恐れのある機器（原子力制御機器、航空宇宙機器、輸送機器、交通信号機器、燃焼制御、医療機器、各種安全装置など）にこれらの製品を使用すること（以下“特定用途”という）は意図もされていませんし、また保証もされていません。本資料に掲載されている製品を当該特定用途に使用することは、お客様の責任でなされることとなります。

● 本資料に掲載してある技術情報は、製品の代表的動作・応用を説明するためのもので、その使用に際して当社および第三者の知的財産権その他の権利に対する保証または実施権の許諾を行うものではありません。

● 本資料に掲載されている製品を、国内外の法令、規則および命令により製造、販売を禁止されている応用製品に使用することはできません。

● 本資料の掲載内容は、技術の進歩などにより予告なしに変更されることがあります。

**※本製品は静電耐圧が低くなっております。取り扱いには十分ご注意ください。**

※ 青字の表記は TC90502XBG からの変更点を示します。

※ 赤字の表記はバージョン変更による修正箇所です。（改定履歴の色と一致）

<本資料に記載の周辺回路について>

本資料に掲載された周辺回路は本製品の動作評価のための一例です。周辺回路構成や定数を推奨したり規定するものではありませんし、応用システムの量産設計を対象とするものでもありません。（システムの特性はお客様がご使用になる外付け部品、実装パターン、その他の条件などにも拠るためです。）

つきましては、本資料を参考にご計画の応用システム要求に合わせて、お客様の責任において外付け回路を設計していただき、その応用回路特性をご確認・ご判断の上ご使用いただきますようお願いいたします。

本製品の保証は本資料にて規定している品質・特性であり、お客様の製品設計や応用に対して弊社は責任を負うものではありません。

## 目次

1. TC90512XBGの機能概要.....	6
1.1 衛星デジタル (PSK) 復調訂正 .....	6
1.2 地上デジタル (OFDM) 復調訂正 .....	6
1.3 共通機能 .....	8
2. 構成 .....	10
3. 端子配置図.....	11
4. 端子機能 .....	12
5. ホストCPUインターフェース.....	17
5.1 I <sup>2</sup> Cバスインターフェース.....	17
5.2 レジスタアドレスマップ .....	19
5.2.1 PSK復調レジスタマップ .....	19
5.2.2 OFDM復調レジスタマップ .....	23
6. 入出力インターフェース .....	29
6.1 PSK復調IF入カインタフェース .....	29
6.2 OFDM復調IF入カインタフェース .....	29
6.3 TS出カインタフェース.....	31
6.4 クロック入力 .....	32
6.4.1 XOモード (水晶直付).....	32
6.4.2 外部クロックモード .....	32
6.4.2 外部クロックモード .....	33
6.4.3 クロック分配モード .....	34
6.5 IF周波数とクロック周波数の設定 .....	35
6.5.1 57MHz IF (XT=25MHz) モード設定 .....	36
6.5.2 57MHz IF (XT=20MHz) モード設定 .....	36
6.5.3 4MHz IF (XT=4MHz) モード設定 .....	36
6.5.4 4MHz IF (XT=27MHz) モード設定 .....	37
6.5.5 IQベースバンド (XT=4MHz) モード設定 .....	37
6.6 AGC出力.....	38
6.7 出力制御 .....	39
7. パワーオンリセット.....	41
8. 衛星デジタル (PSK) 復調機能.....	42
8.1 リセット .....	42
8.2 スタンバイ機能 .....	43
8.2.1 常時スリープ .....	43
8.2.2 起動制御信号の監視 (起動制御なし) .....	43
8.2.3 起動制御信号の監視 (起動制御あり) .....	44
8.2.4 LNB電源制御.....	44
8.3 入出力設定.....	46
8.3.1 入力設定.....	46
8.3.2 出力端子の切替.....	46
8.3.3 出力信号のイネーブル制御.....	47
8.3.4 ステータスレジスタ .....	47
8.3.5 エラーフリーフラグ .....	48
8.3.6 スーパーフレーム同期フラグ .....	48
8.3.7 階層識別フラグ .....	48
8.3.8 LNBトーン制御出力.....	48
8.4 クロック再生 .....	52
8.4.1 クロック周波数オフセット補正 .....	52
8.4.2 クロック周波数誤差モニタ .....	52
8.5 AGC.....	53
8.6 キャリア再生 .....	55
8.6.1 キャリアAFCループ利得設定 .....	55

8.6.2	キャリア周波数誤差モニタ	55
8.7	同期	56
8.8	等化	56
8.8.1	等化器	56
8.8.2	C/N推定	56
8.9	誤り訂正	57
8.9.1	TS出力の各種設定	57
8.9.2	出力TSのTS_ID設定	57
8.9.3	TMCC情報の出力	57
8.9.4	BER測定用シリアル出力	57
8.9.5	RS復号ON/OFF	58
8.9.6	ビタビ復号後エラーレートの測定	58
8.9.7	RS復号後エラーレートの測定	59
8.9.8	階層変調時のTS出力パケットのヌル化設定	60
8.9.9	RS復号エラーフラグJRLOCKの設定	61
8.9.10	エラー判定とBER測定、ヌルパケット化の関連	61
8.10	モニタ出力	66
8.10.1	TMCC情報モニタレジスタ	66
8.10.2	その他のモニタレジスタ	66
8.11	I <sup>2</sup> Cスルーモード	69
9.	地上デジタル (OFDM) 復調機能	70
9.1	リセット	70
9.2	動作モード設定	71
9.2.1	13セグメントOFDMと3/1セグメントOFDMの切替	71
9.2.2	3/1セグメントOFDM復調時の入力帯域幅	71
9.2.3	地上デジタル音声放送の3/1セグメント自動切替	71
9.2.4	地上デジタル音声放送のデジタルチューニング機能	72
9.3	スタンバイ機能	73
9.3.1	常時スリープ	73
9.3.2	起動制御信号の監視 (起動制御なし)	73
9.3.3	起動制御信号の監視 (起動制御あり)	74
9.4	入出力切替	76
9.4.1	入力切替	76
9.4.2	出力信号の端子切替	76
9.4.3	ステータスレジスタ	77
9.4.4	エラーフリーフラグ	78
9.4.5	フレーム同期フラグ	78
9.4.6	階層識別フラグ	78
9.5	クロック設定	82
9.5.1	クロック周波数オフセット補正	82
9.5.2	クロック周波数制御範囲	82
9.6	クロック再生	84
9.6.1	ループ利得切替	84
9.6.2	周波数誤差モニタ	84
9.7	AGCとデジタルフィルタ	87
9.7.1	チューナAGC制御	87
9.7.2	AGCパススルー機能	89
9.7.3	デジタルフィルタ	90
9.7.4	デジタルAGC	90
9.7.5	S_INFOIによるAGC適応制御	92
9.8	キャリア再生	94
9.8.1	周波数変換	94
9.8.2	周波数引込範囲	95
9.8.3	キャリアAFCループ利得補正設定	95

9.8.4	ループ利得切替	95
9.8.5	キャリア周波数誤差モニタ	96
9.9	同期シーケンス	98
9.9.1	シーケンス制御	98
9.9.2	初期ウェイト時間の設定	98
9.9.3	伝送モードの自動検出	98
9.9.4	FFT窓位置の設定	99
9.9.5	キャリア・クロック再生の時間設定	99
9.9.6	フレーム同期保護の設定	99
9.9.7	シーケンスのリトライ異常検出	100
9.9.8	伝送モード、TMCCプリセットによる引込時間短縮	100
9.10	ISIC	104
9.11	FFT	105
9.12	CPE除去	105
9.13	CVI/CSI	106
9.14	等化	106
9.15	TMCC検出	107
9.16	誤り訂正	108
9.16.1	TS出力における各種設定	108
9.16.2	階層選択	108
9.16.3	BER測定用シリアル出力	108
9.16.4	RS復号ON/OFF	109
9.16.5	ビタビ復号後BERモニタ	109
9.16.6	RS復号後BERモニタ	110
9.16.7	階層変調時のTS出力パケットのヌル化設定	111
9.16.8	エラーフラグ	112
9.16.9	RS復号エラー判定フラグの設定	112
9.16.10	階層識別信号出力	113
9.16.11	エラー判定とBER測定、ヌルパケット化の関連	113
9.17	モニタ出力	117
9.17.1	受信モード	117
9.17.2	コンスタレーション/SP（分散パイロット）信号モニタ	117
9.17.3	TMCC復号データ	118
9.18	I <sup>2</sup> Cスルーモード	123
10.	基本的な周波数設定例一覧	124
10.1	57MHz IFモード（XT=25MHz）	124
10.2	57MHz IFモード（XT=20MHz）	125
10.3	4MHz IFモード（XT=4MHz）	126
10.4	4MHz IFモード（XT=27MHz）	127
10.5	IQベースバンドモード（XT=4MHz）	128
11.	電気的特性	129
11.1	絶対最大定格	129
11.2	動作条件	130
11.3	電気的特性（DC特性）	131
11.4	電気的特性（AC特性）	133
11.4.1	衛星デジタル復調のTS出カインタフェース	133
11.4.2	地上デジタル復調のTS出カインタフェース	134
11.4.3	I <sup>2</sup> Cインタフェース	135
11.5	電源の投入遮断	135
12.	応用回路	136
13.	パッケージ	138
	改訂履歴	139

## 1. TC90512XBGの機能概要

### 1.1 衛星デジタル（PSK）復調訂正

#### 1) ISDB-S方式準拠

- ISDB-S 伝送方式の BS デジタルと広帯域 110° CS デジタル信号を復調可能です。（狭帯域 CS の DVB-S 方式には対応していません。）

#### 2) ADコンバータ内蔵

- 差動入力にも対応できる AD コンバータを内蔵しています。
- [0.375Vp-p（差動間電圧 0.75Vp-p）差動入力または 0.75Vp-p シングルエンド入力に対応します。](#)

#### 3) 適応型位相雑音トラッキング回路内蔵

- C/N や変調の組合せの変化に適応的に PLL ループ利得を制御し、LNB 位相雑音にも追従して安定かつ高精度なキャリア再生制御を行います。

#### 4) キャリア、クロック周波数引き込み

- キャリア周波数は±5MHz、クロック周波数は±200ppm 以上を引き込み可能です。

#### 5) 適応波形等化器内蔵

- ケーブル反射による波形歪みを自動的に等化する適応型波形等化器を内蔵しています。

#### 6) IQ軸利得偏差／直交ずれ補正回路

- IQ ベースバンド入力信号の振幅偏差と直交ずれを自動的に補正します。
- 振幅偏差は±2dB、直交ずれは±5°を補正可能です。

#### 7) LNB制御用トーン信号発生回路内蔵

- LNB 制御用のトーン信号発生が可能です。

#### 8) 高速チャンネル切替

- 低 C/N 条件においても短時間での復調出力が可能です。
- 8PSK 受信可能条件であれば 100ms 程度で復調同期可能です。

### 1.2 地上デジタル（OFDM）復調訂正

#### 1) ADコンバータ内蔵

- 広帯域 AD コンバータを内蔵しています。57MHz の IF 信号を直接入力することができます。
- 0.5Vp-p（差動間電圧 1.0Vp-p）差動入力または 1.0Vp-p シングルエンド入力に対応します。

#### 2) メモリ内蔵

- 信号処理に必要なメモリをすべて内蔵しています。時間デインタリーブに必要なメモリも内蔵されており外付けは不要です。

#### 3) IFおよびIQベースバンド信号入力に対応

- 入力信号は中心周波数 4MHz の低 IF、44MHz または 57MHz の IF 信号を直接入力できます。
- [IF 入力信号に替えて、直交検波された IQ ベースバンド信号を入力することもできます。IQ 入力の場合は振幅偏差と直交ずれを自動的に補正します。](#)

## 5) ISDB-Tの全モード対応

- ISDB-T 伝送方式で規定されるすべての伝送モード、伝送パラメータに対応しています。
- 3 つのキャリア数モード、4 つのガード比、3 階層伝送、4 つの変調方式、5 つのたたみ込み符号化レートおよびすべての時間デインターリーブ長に対応しています。
- 1 または 3 セグメントの狭帯域 ISDB-T (ISDB-T<sub>SB</sub>) にも対応しています。
- 狭帯域 ISDB-T の連結送信モードの受信も可能です。

## 6) 位相雑音抑圧回路

- チューナ位相雑音抑圧回路を内蔵しています。

## 7) キャリア、クロック周波数引き込み

- キャリア周波数は±250kHz、クロック周波数は±200ppm 以上を引き込み可能です。

## 8) 適応パイロット補間回路

- 入力条件に応じて最適な周波数/時間フィルタ補間特性が選択されます。
- フェージングのない条件では所要 C/N が改善され、マルチパス遅延時間やアナログ TV 妨害条件でも改善効果が得られます。一方、フェージングのある条件では時間追従性が保持されます。

## 9) 適応FFT窓位置制御

- 復調 S/N が最大となるように、自動的かつ連続的に FFT 窓を最適な位置に制御します。
- ガード比 1/4 を含め SFN (単一周波数ネットワーク) で生じる正負遅延時間のマルチパスに対応しています。

## 10) ガード外マルチパスキャンセラ (ISIC)

- ガード期間を越えるマルチパスにより発生する符号間干渉を抑圧する回路を内蔵しています。
- Mode3、ガード比 1/8 で最大 250μs までの遅延時間を有するマルチパス干渉を抑圧します。

## 11) 適応誤り制御

- 地上伝送路のマルチパス妨害、キャリア妨害など異なる性質の妨害を分析 (CSI、CVI) し、適応的に誤り訂正の制御を行ないます。
- 同一チャンネルのアナログ TV 妨害を抑圧する回路を内蔵しています。
- 高速の時間変動にも対応できるアルゴリズムを用いており、フラッタリングなどのフェージングに対応できます。

## 12) 高速チャンネルサーチ

- 短時間で OFDM 信号の有無を判定できます。これにより高速にチャンネルサーチを行なうことができます。信号有無の判定に要する時間は 1 チャンネル当たり 0.2s 程度です。
- チャンネルサーチの際に OFDM 信号のモードおよびガード比を自動的に検出します。この情報をプリセットに用いることもできます。

## 13) 高速チャンネル切替

- 復調同期の並列処理と高度な初期化機能により、チャンネル切替時に短時間 (300ms typ.) で TS 出力を得ることができます。
- モード/ガード比、TMCC をプリセット可能です。これらをプリセットすることで TS 出力時間を短縮できます。プリセット値が正しくない場合も自動的に訂正されるので外部制御は不要です。

## 14) RF/IF独立、適応AGC制御

- RF と IF の AGC 制御信号をそれぞれ独立の端子から出力できます。



- AGC ディレイ制御 をデジタルで設定できます。
- 通常の単一 AGC 制御として機能させることもできます。この場合、RF AGC 制御出力は汎用 DC 電圧制御出力として使用できます。
- [チューナからの歪み信号を入力して適応的な AGC ディレイ制御を行うことができます。](#)
- [他の復調 IC からの AGC 制御信号（デジタル）をスルーして入出力することができます。](#)

#### 15) デジタルフィルタとデジタルAGC

- 隣接アナログ TV 妨害を抑圧するデジタルフィルタを内蔵しています。
- デジタル AGC 回路を内蔵しています。低レベル入力時および帯域外妨害入力時に効果的です。
- デジタルチューニング機能により、チューナ局発周波数を変更せずに 3/1 セグメント OFDM 信号の任意セグメントを復調できます。

### 1.3 共通機能

#### 1) 衛星/地上独立のI<sup>2</sup>C制御

- 衛星デジタル復調と地上デジタル復調で I<sup>2</sup>C スレーブアドレスが分離されています。これにより、外部からは独立の 2 つの IC を制御しているように扱うことができます。
- READ/WRITE 可能なチューナ用 I<sup>2</sup>C スルー制御端子を衛星と地上独立に備えています。
- ファーストモード（400kHz）I<sup>2</sup>C に対応しています。

#### 2) 衛星/地上独立のTS出力

- 衛星デジタル復調と地上デジタル復調の TS 出力は独立に用意されています。
- MPEG トランスポートストリーム出力はシリアルまたはパラレル形式で出力でき、同時に出力することも可能です。

#### 3) BERモニタ

- ビタビ訂正後またはリードソロモン訂正後のビット誤り率（BER）を I<sup>2</sup>C バス経由でモニタできます。
- 測定周期はフレーム単位、パケット単位のどちらかを指定することができます。

#### 4) S/Nモニタ

- コンステレーション（デジタル変調の複素ベクトル）の規定値からのずれを計算し、復調信号の S/N を I<sup>2</sup>C バス経由で読み出せます。
- S/N モニタ値は変調方式に依存しません。また、BER 測定に比べて短時間で測定できるのでアンテナ調整等に有用です。
- [キャリア妨害による影響の少ない S/N モニタが可能です。](#)

#### 5) 外部制御不要（スタンドアローン動作）

- 基本的な機能および動作は IC 内蔵回路のみで可能です。
- ISDB-S および ISDB-T 伝送方式のパラメータは内蔵の TMCC 復号回路で自動的に設定されます。

#### 6) スタンバイ動作

- [衛星デジタル復調と地上デジタル復調でそれぞれスタンバイ動作可能です。](#) 使用する機能のみを動作させて消費電力を低減することができます。
- [両方同時動作のときも 310mW \(typ.\)と低消費電力です。](#)
- 衛星デジタル復調と地上デジタル復調のどちらも緊急警報放送の自動起動制御に対応しています。

#### 7) 小型パッケージ

- TC90512XBG は 177 ピンの BGA パッケージです。
- ボールピッチ 0.8mm で実装が容易です。パッケージサイズも 13mm × 13mm × 1.4mm と小型です。



## 8)その他

- 割込制御に有用なステータスレジスタとフラグを用意しています。(各種フラグは変化点で出力させることもできます。)
- 各端子のイネーブル／ディセーブルを個別に設定できます。不要な端子を汎用出力ポートとして利用することもできます。
- TS 出力端子の割当を変更することができます。基板実装時に適切な端子配置で使用できます。
- クロック再生は VCXO (電圧制御水晶発振回路) 不要です。水晶または外部基準クロックのみで動作可能です。外部基準クロックは低振幅入力 (0.5~2.5 Vp-p) です。
- リセット端子と I<sup>2</sup>C 端子は 5V 耐圧です。TC90512XBG の電源が遮断されている場合、これらの端子はハイ・インピーダンスとなります。
- クリスタル発振出力を IC 外部に供給する出力を用意しています。複数の復調 IC を同時に使用する場合にクリスタルを共用することができます。
- JTAG バウンダリスキャン対応です。
- 電源投入・遮断順序の規定が不要です。

## 2. 構成

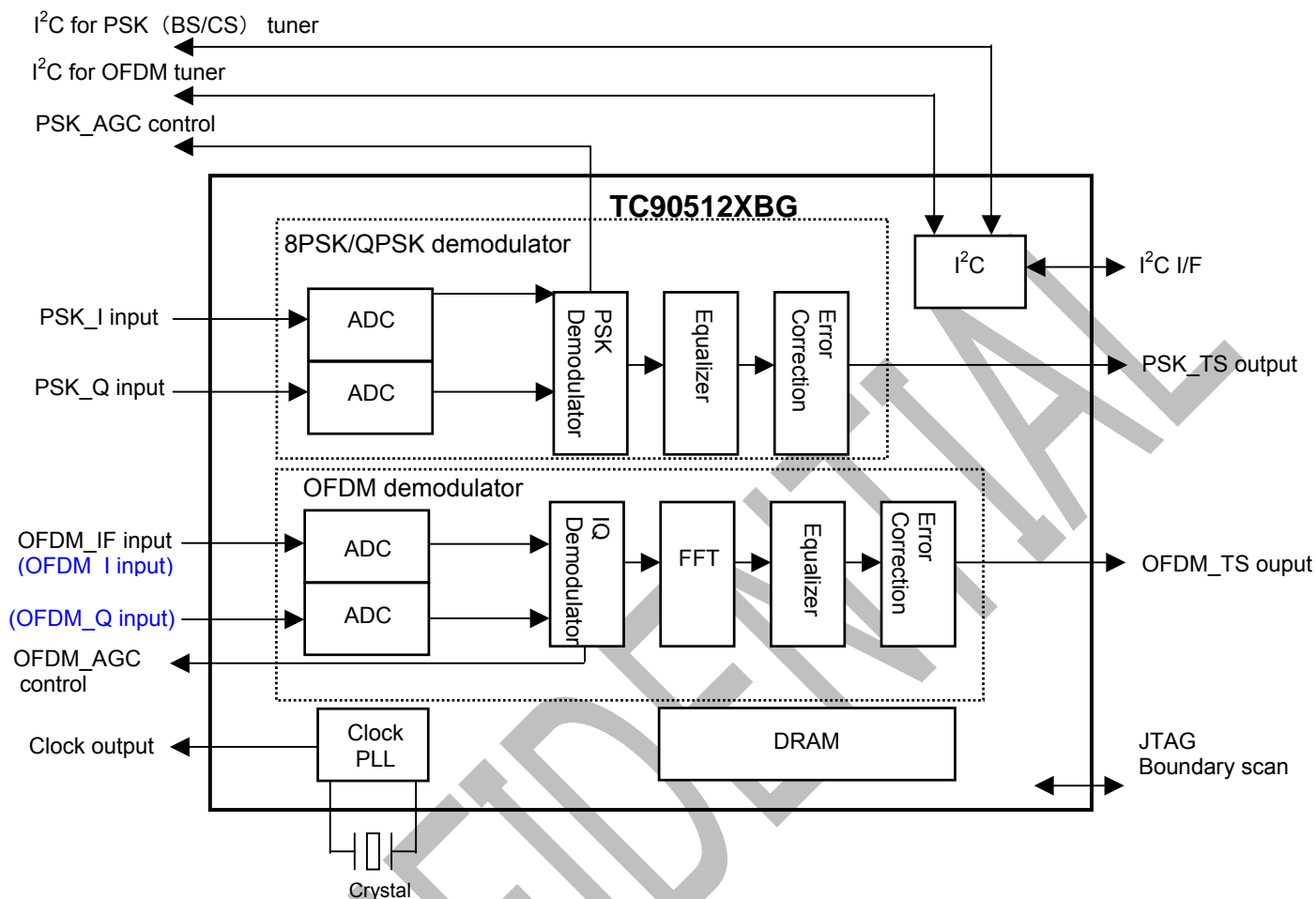
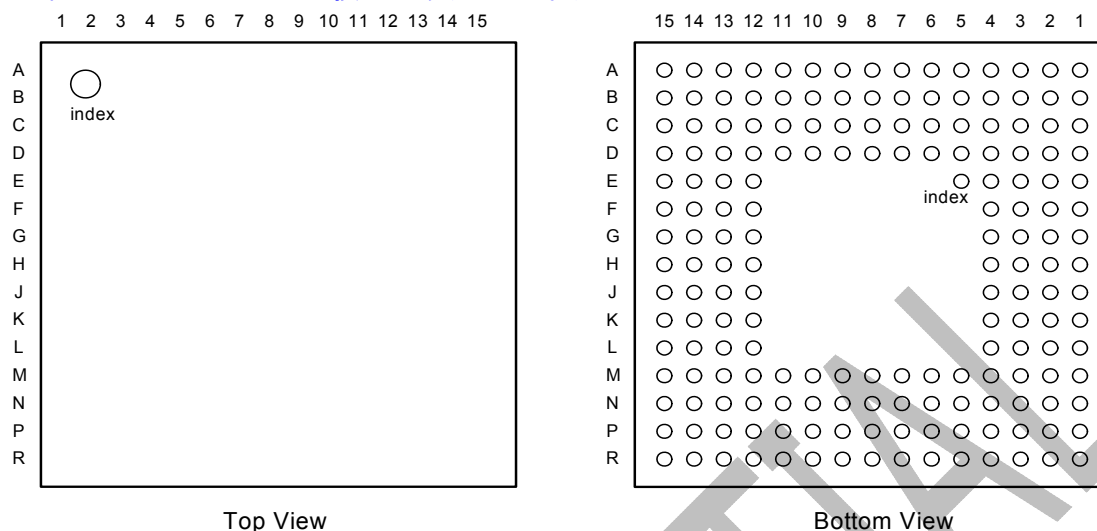


図 2.1 機能ブロック図

- PSK 復調部と OFDM 復調部は独立に動作可能です。TS 出力も独立に用意されています。
- PSK 復調部と OFDM 復調部の制御は I<sup>2</sup>C レジスタのスレーブアドレスを切り替えて行います。このため、外部からは 2 つの IC を制御しているのと同じように扱えます。
- PSK 復調部と OFDM 復調部は独立にスタンバイ機能でスリープ状態にでき、使用しないときに消費電力を削減することができます。
- PSK 復調と OFDM 復調は初期状態で両方とも復調動作状態です。必要に応じて各復調部をスリープ機能でスタンバイさせてください。(スタンバイから復帰するとき、PSK および OFDM 復調部どちらもレジスタの再設定は不要です。)

## 3. 端子配置図

(端子配置は TC90502XBG と互換ではありません。)



端子名一覧

	1	2	3	4	5	6	7	8
A	MDO	TDI	TMS	JSRCK	JRCKO	JPBVAL	JSTSFLG1	JLOCK
B	TCK	TRST	JOEN	JSRDT	JSBYTE	JRSEORF	JSTSFLG0	JPORT
C	JRSOUT7	JRSOUT6	TSMD3	VDDS	VDDC	VDDS	TESI5	VDDC
D	JRSOUT5	JRSOUT4	DTMB	VSS	VSS	VSS	VSS	VSS
E	JRSOUT3	JRSOUT2	VDDS	VSS	NC(INDEX)			
F	JRSOUT1	JRSOUT0	VDDC	VSS				
G	JRLOCKH	JRLOCKL	VDDC	VSS				
H	SLADRS1	SLADRS0	VDDS	VSS				
J	XSEL1	XSEL0	VDDC	VSS				
K	XCKOSL	EXTCK	VDDC	VSS				
L	JAGCCNT	TSMD2	VDDS	VSS				
M	JTNSCL	JTNSDA	VDDC	VSS	NC	NC	NC	NC
N	JLNB	JAD_DVDD	JAD_LVDD	JAD_LVSS	NC	NC	NC	PLLVSS
P	JAD_DVSS	JAD_AVDD	JAD_AVSS	JAD_AVSS	NC	NC	XOVSS	XOVDD
R	NC	JADI_AIP	JADI_AIN	JADQ_AIP	JADQ_AIN	JAD_VCM	XCKO	XO

	9	10	11	12	13	14	15
A	SRCK	RSCKO	PBVAL	STSFLG1	FLOCK	TDO	FSO
B	SRDT	SBYTE	RSEORF	STSFLG0	SLPEN	CKI	SYRSTN
C	TSMD1	VDDS	VDDC	TSMD0	TESI4	SDA	SCL
D	VSS	VSS	VSS	VSS	DR2VDD	RSOUT6	RSOUT7
E				DR1VDD	VDDS	RSOUT4	RSOUT5
F				VSS	VDDC	RSOUT2	RSOUT3
G				VSS	DR1VDD	RSOUT0	RSOUT1
H				VSS	VDDS	RERR	RLOCK
J				VSS	DR1VDD	TESI3	OEN
K				VSS	VDDC	TESI2	TESI1
L				VSS	VDDS	TESI0	S_INFO
M	NC	AD_CM	AD_VREFN	VSS	DR1VDD	TNSDA	AGCI
N	VDDC	AD_DVSS	AD_VREF	AD_VREFP	VDDC	AGCCNTI	TNSCL
P	PLLVDD	AD_DVDD	NC	AD_AVSS	AD_AVDD	VDDS	AGCCNTR
R	XI	FIL	ADI_AIP	ADI_AIN	ADQ_AIP	ADQ_AIN	DTCLK

## 4. 端子機能

(端子配置は TC90502XBG と互換ではありません。)

本仕様書では端子およびその信号は大文字で、I<sup>2</sup>C レジスタおよびその信号は小文字で表記します。

端子 番号	端子名 <sup>(注2)</sup>	(注5) I/O	(注6) PU/PD	(注1) 分類	機能	備考 <sup>(注3,4,7)</sup>
A1	MDO	O	—	—	出荷テスト用端子	通常動作で L 固定なのでオープンとする
A2	TDI	I	PU	—	JTAG データ入力	JTAG 使用時以外はオープンとする
A3	TMS	I	PU	—	JTAG モード設定	JTAG 使用時以外はオープンとする
A4	JSRCK	O	—	PSK	TS シリアルクロック出力	未使用の場合はオープン、L 固定に設定する
A5	JRSCKO	O	—	PSK	TS バイトクロック出力	未使用の場合はオープン、L 固定に設定する
A6	JPBVAL	O	—	PSK	TS バリッドフラグ出力	未使用の場合はオープン、L 固定に設定する
A7	JSTSFLG1	O	—	PSK	ステータスフラグ 1 出力	未使用の場合はオープン、L 固定に設定する
A8	JLOCK	O	—	PSK	スーパーフレーム同期	未使用の場合はオープン、L 固定に設定する
A9	SRCK	O	—	OFDM	TS シリアルクロック出力	未使用の場合はオープン、L 固定に設定する
A10	RSCKO	O	—	OFDM	TS バイトクロック出力	未使用の場合はオープン、L 固定に設定する
A11	PBVAL	O	—	OFDM	TS バリッドフラグ出力	未使用の場合はオープン、L 固定に設定する
A12	STSFLG1	O	—	OFDM	ステータスフラグ 1 出力	未使用の場合はオープン、L 固定に設定する
A13	FLOCK	O	—	OFDM	フレーム同期フラグ出力	未使用の場合はオープン、L 固定に設定する
A14	TDO	O	—	—	JTAG データ出力	JTAG 使用時以外はオープンとする
A15	FSO	O	—	—	出荷テスト用端子	通常動作で L 固定なのでオープンとする
B1	TCK	I	—	—	JTAG クロック入力	JTAG 使用時以外は DGND へ接続する
B2	TRST	I	—	—	JTAG リセット入力	JTAG 使用時以外は DGND へ接続する
B3	JOEN	I	PD	PSK	出力端子ディセーブル制御入力	0:イネーブル、1:ディセーブル
B4	JSRDT	O	—	PSK	シリアル TS データ出力	未使用の場合はオープン、L 固定に設定する
B5	JSBYTE	O	—	PSK	TS 同期バイトフラグ出力	未使用の場合はオープン、L 固定に設定する
B6	JRSEORF	O	—	PSK	TS エラーフラグ出力	未使用の場合はオープン、L 固定に設定する
B7	JSTSFLG0	O	—	PSK	ステータスフラグ 0 出力	未使用の場合はオープン、L 固定に設定する
B8	JPORT	O	—	PSK	汎用ポート出力 (または LNB 電源制御出力)	未使用の場合はオープン、L 固定に設定する
B9	SRDT	O	—	OFDM	シリアル TS データ出力	未使用の場合はオープン、L 固定に設定する
B10	SBYTE	O	—	OFDM	TS 同期バイトフラグ出力	未使用の場合はオープン、L 固定に設定する
B11	RSEORF	O	—	OFDM	TS エラーフラグ出力	未使用の場合はオープン、L 固定に設定する
B12	STSFLG0	O	—	OFDM	ステータスフラグ 0 出力	未使用の場合はオープン、L 固定に設定する
B13	SLPEN	O	—	OFDM	スリープ状態フラグ出力	未使用の場合はオープン、L 固定に設定する
B14	CKI	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
B15	SYRSTN	I/O <sup>(注5)</sup>	—	—	システムリセット入力	電源投入時に規定のタイミングで入力する
C1	JRSOUT7	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 7 出力	未使用の場合はオープン、L 固定に設定する
C2	JRSOUT6	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 6 出力	未使用の場合はオープン、L 固定に設定する
C3	TSMD3	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
C4	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
C5	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
C6	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
C7	TESI5	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
C8	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
C9	TSMD1	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
C10	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
C11	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
C12	TSMD0	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する

C13	TESI4	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
C14	SDA	I/O	—	—	ホスト CPU 用 I <sup>2</sup> C データ入出力	I <sup>2</sup> C データバスへ接続する (IC 外部でプルアップすること)
C15	SCL	I/O <sup>(注5)</sup>	—	—	ホスト CPU 用 I <sup>2</sup> C クロック入力	I <sup>2</sup> C クロックバスへ接続する (IC 外部でプルアップすること)
D1	JRSOUT5	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 5 出力	未使用の場合はオープン、L 固定に設定する
D2	JRSOUT4	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 4 出力	未使用の場合はオープン、L 固定に設定する
D3	DTMB	I	PU	—	出荷テスト用端子	オープンまたはデジタル+3.3V typ.へ接続する
D4	VSS	—	—	—	デジタル GND	DGND へ接続する
D5	VSS	—	—	—	デジタル GND	DGND へ接続する
D6	VSS	—	—	—	デジタル GND	DGND へ接続する
D7	VSS	—	—	—	デジタル GND	DGND へ接続する
D8	VSS	—	—	—	デジタル GND	DGND へ接続する
D9	VSS	—	—	—	デジタル GND	DGND へ接続する
D10	VSS	—	—	—	デジタル GND	DGND へ接続する
D11	VSS	—	—	—	デジタル GND	DGND へ接続する
D12	VSS	—	—	—	デジタル GND	DGND へ接続する
D13	DR2VDD	—	—	—	デジタル電源	デジタル+2.5V typ.へ接続する
D14	RSOUT6	O	—	OFDM	TS パラレルデータ 6 出力	未使用の場合はオープン、L 固定に設定する
D15	RSOUT7	O	—	OFDM	TS パラレルデータ 7 出力	未使用の場合はオープン、L 固定に設定する
E1	JRSOUT3	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 3 出力	未使用の場合はオープン、L 固定に設定する
E2	JRSOUT2	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 2 出力	未使用の場合はオープン、L 固定に設定する
E3	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
E4	VSS	—	—	—	デジタル GND	DGND へ接続する
E5	NC (INDEX)	—	—	—	未接続	チップと接続されていません
E12	DR1VDD	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
E13	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
E14	RSOUT4	O	—	OFDM	TS パラレルデータ 4 出力	未使用の場合はオープン、L 固定に設定する
E15	RSOUT5	O	—	OFDM	TS パラレルデータ 5 出力	未使用の場合はオープン、L 固定に設定する
F1	JRSOUT1	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 1 出力	未使用の場合はオープン、L 固定に設定する
F2	JRSOUT0	I/O <sup>(注5)</sup>	PD	PSK	TS パラレルデータ 0 出力	未使用の場合はオープン、L 固定に設定する
F3	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
F4	VSS	—	—	—	デジタル GND	DGND へ接続する
F12	VSS	—	—	—	デジタル GND	DGND へ接続する
F13	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
F14	RSOUT2	O	—	OFDM	TS パラレルデータ 2 出力	未使用の場合はオープン、L 固定に設定する
F15	RSOUT3	O	—	OFDM	TS パラレルデータ 3 出力	未使用の場合はオープン、L 固定に設定する
G1	JRLOCKH	I/O <sup>(注5)</sup>	PD	PSK	高階層 RS エラーフリーフラグ出力	未使用の場合はオープン、L 固定に設定する
G2	JRLOCKL	I/O <sup>(注5)</sup>	PD	PSK	低階層 RS エラーフリーフラグ出力	未使用の場合はオープン、L 固定に設定する
G3	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
G4	VSS	—	—	—	デジタル GND	DGND へ接続する
G12	VSS	—	—	—	デジタル GND	DGND へ接続する
G13	DR1VDD	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
G14	RSOUT0	O	—	OFDM	TS パラレルデータ 0 出力	未使用の場合はオープン、L 固定に設定する
G15	RSOUT1	O	—	OFDM	TS パラレルデータ 1 出力	未使用の場合はオープン、L 固定に設定する
H1	SLADRS1	I	PD	—	スレーブアドレス 1	スレーブアドレスに合わせて設定する
H2	SLADRS0	I	PD	—	スレーブアドレス 0	スレーブアドレスに合わせて設定する
H3	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
H4	VSS	—	—	—	デジタル GND	DGND へ接続する
H12	VSS	—	—	—	デジタル GND	DGND へ接続する
H13	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する

H14	RERR	O	—	OFDM	RS 復号エラーフラグ出力	未使用の場合はオープン、L 固定に設定する
H15	RLOCK	O	—	OFDM	RS 復号エラーフリーフラグ出力	未使用の場合はオープン、L 固定に設定する
J1	XSEL1	I	PD	—	クリスタル分周比設定 1	クリスタル周波数に合わせて設定する
J2	XSEL0	I	PD	—	クリスタル分周比設定 0	クリスタル周波数に合わせて設定する
J3	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
J4	VSS	—	—	—	デジタル GND	DGND へ接続する
J12	VSS	—	—	—	デジタル GND	DGND へ接続する
J13	DR1VDD	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
J14	TESI3	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
J15	OEN	I	PD	OFDM	出力端子ディセーブル制御入力	0:イネーブル、1:ディセーブル
K1	XCKOSL	I	PD	—	クリスタル発振出力制御	0:イネーブル、1:ディセーブル
K2	EXTCK	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
K3	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
K4	VSS	—	—	—	デジタル GND	DGND へ接続する
K12	VSS	—	—	—	デジタル GND	DGND へ接続する
K13	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
K14	TESI2	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
K15	TESI1	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
L1	JAGCCNT	I/O <sup>(注5)</sup>	PD	PSK	AGC 制御出力	チューナ AGC 制御入力へ接続する
L2	TSMD2	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
L3	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
L4	VSS	—	—	—	デジタル GND	DGND へ接続する
L12	VSS	—	—	—	デジタル GND	DGND へ接続する
L13	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
L14	TESI0	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する
L15	S_INFO	I	PD	OFDM	ディレイポイント適応制御入力 (チューナ歪み信号入力)	sifon=1 で有効 未使用時はオープンまたは DGND へ接続する
M1	JTNSCL	I/O <sup>(注5)</sup>	—	PSK	I <sup>2</sup> C クロック出力	チューナ I <sup>2</sup> C クロック端子へ接続する (IC 外部でプルアップすること)
M2	JTNSDA	I/O	—	PSK	I <sup>2</sup> C データ入出力	チューナ I <sup>2</sup> C データ端子へ接続する (IC 外部でプルアップすること)
M3	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
M4	VSS	—	—	—	デジタル GND	DGND へ接続する
M5	NC	—	—	—	未接続	チップと接続されていません
M6	NC	—	—	—	未接続	チップと接続されていません
M7	NC	—	—	—	未接続	チップと接続されていません
M8	NC	—	—	—	未接続	チップと接続されていません
M9	NC	—	—	—	未接続	チップと接続されていません
M10	AD_CM	—	—	OFDM	ADC 基準電圧出力	+1.25V typ. パスコン介して AGND へ接続し、 AD_VREF にも接続する
M11	AD_VREFN	—	—	OFDM	ADC 基準電圧出力	+0.75V typ. パスコン介して AGND へ接続する
M12	VSS	—	—	—	デジタル GND	DGND へ接続する
M13	DR1VDD	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
M14	TNSDA	I/O	—	OFDM	I <sup>2</sup> C データ入出力	チューナ I <sup>2</sup> C データ端子へ接続する (IC 外部でプルアップすること)
M15	AGCI	I	PD	OFDM	外部 AGC 入力	未使用時はオープンまたは DGND へ接続する
N1	JLNB	I/O <sup>(注5)</sup>	PD	PSK	LNB 制御出力	未使用時はオープンまたは DGND へ接続する
N2	JAD_DVDD	—	—	PSK	ADC デジタル電源	デジタル+2.5V typ.へ接続する
N3	JAD_LVDD	—	—	PSK	ADC デジタル電源	アナログ+1.2V typ.へ接続する <sup>(注8)</sup>
N4	JAD_LVSS	—	—	PSK	ADC デジタル GND	AGND へ接続する
N5	NC	—	—	—	未接続	チップと接続されていません
N6	NC	—	—	—	未接続	チップと接続されていません



N7	NC	—	—	—	未接続	チップと接続されていません
N8	PLLVS	—	—	—	クロック PLL GND	AGND へ接続する
N9	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
N10	AD_DVSS	—	—	OFDM	ADC デジタル GND	DGND へ接続する
N11	AD_VREF	—	—	OFDM	ADC 基準電圧入力	AD_CM へ接続する
N12	AD_VREFP	—	—	OFDM	ADC 基準電圧出力	+1.75V typ. パスコン介して AGND へ接続する
N13	VDDC	—	—	—	デジタル電源	デジタル+1.2V typ.へ接続する
N14	AGCCNTI	I/O(注5)	PD	OFDM	IF_AGC 制御出力	チューナ IF_AGC 制御入力端子へ接続する
N15	TNSCL	I/O(注5)	—	OFDM	I <sup>2</sup> C クロック出力	チューナ I <sup>2</sup> C クロック端子へ接続する (IC 外部でプルアップすること)
P1	JAD_DVSS	—	—	PSK	ADC デジタル GND	DGND へ接続する
P2	JAD_AVDD	—	—	PSK	ADC アナログ電源	アナログ+2.5V typ.へ接続する
P3	JAD_AVSS	—	—	PSK	ADC アナログ GND	AGND へ接続する
P4	JAD_AVSS	—	—	PSK	ADC アナログ GND	AGND へ接続する
P5	NC	—	—	—	未接続	チップと接続されていません
P6	NC	—	—	—	未接続	チップと接続されていません
P7	XOVSS	—	—	—	クリスタル発振 GND	AGND へ接続する
P8	XOVDD	—	—	—	クリスタル発振電源	アナログ+2.5V typ.へ接続する
P9	PLLVDD	—	—	—	クロック PLL 電源	アナログ+2.5V typ.へ接続する
P10	AD_DVDD	—	—	PSK	デジタル電源	デジタル+2.5V typ.へ接続する
P11	NC	—	—	—	未接続	チップと接続されていません
P12	AD_AVSS	—	—	OFDM	ADC アナログ GND	AGND へ接続する
P13	AD_AVDD	—	—	OFDM	ADC アナログ電源	アナログ+2.5V typ.へ接続する
P14	VDDS	—	—	—	I/O 用電源	デジタル+3.3V typ.へ接続する
P15	AGCCNTR	I/O(注5)	PD	OFDM	RF_AGC 制御出力	チューナ RF_AGC 制御入力端子へ接続する 未使用時はオープンとし L 固定に設定する
R1	NC	—	—	—	未接続	チップと接続されていません
R2	JADI_AIP	I	—	PSK	I 信号(差動+側)入力	DC カットしチューナ I(+)出力へ接続する
R3	JADI_AIN	I	—	PSK	I 信号(差動-側)入力	DC カットしチューナ I(-)出力へ接続する 未使用時はパスコン介して AGND へ接続する
R4	JADQ_AIP	I	—	PSK	Q 信号(差動+側)入力	DC カットしチューナ Q(+)出力へ接続する
R5	JADQ_AIN	I	—	PSK	Q 信号(差動-側)入力	DC カットしチューナ Q(-)出力へ接続する 未使用時はパスコン介して AGND へ接続する
R6	JAD_VCM	—	—	PSK	ADC 基準電圧出力	+1.25V typ. パスコン介して AGND へ接続する
R7	XCKO	O	—	—	クリスタル発振出力	未使用時はオープンと出力オフとする
R8	XO	O	—	—	クリスタル出力	クリスタルへ接続する
R9	XI	I	—	—	クリスタル入力	クリスタルへ接続する
R10	FIL	O	—	—	クロック PLL フィルタ出力	1500pF を介して AGND へ接続する
R11	ADI_AIP	I	—	OFDM	IF 信号(差動+側)入力 または I 信号(差動+側)入力	DC カットしチューナ IF(+)出力へ接続する またはチューナ I(+)出力へ接続する
R12	ADI_AIN	I	—	OFDM	IF 信号(差動-側)入力 または I 信号(差動-側)入力	DC カットしチューナ IF(-)出力へ接続する またはチューナ I(-)出力へ接続する
R13	ADQ_AIP	I	—	OFDM	Q 信号(差動+側)入力	パスコン介して AGND へ接続する またはチューナ Q(+)出力へ接続する
R14	ADQ_AIN	I	—	OFDM	Q 信号(差動-側)入力	パスコン介して AGND へ接続する またはチューナ Q(-)出力へ接続する
R15	DTCLK	I	PD	—	出荷テスト用端子	オープンまたは DGND へ接続する

注1) PSK は衛星デジタル復調専用の端子、OFDM は地上デジタル復調専用の端子を示します。その他は共通に用いる端子です。(衛星デジタル専用端子はJで始まる端子名としています。)

注2) NC の未使用端子はチップと接続されていません。

注3) AGND はアナログ用 GND、DGND はデジタル用 GND を示します。

注4) テスト専用端子は出荷前テストにのみ用います。備考欄に記載されているとおりに処理してください。  
それ以外では動作しないか故障の原因になります。



- 注5) I/O は使用セルのタイプです。テストと併用しているため端子機能と異なる場合があります。
- 注6) PU はプルアップ抵抗 (50k $\Omega$  typ.) つきの I/O、PD はプルダウン抵抗 (50k $\Omega$  typ.) つきの I/O を示します。  
IC 外部でそれぞれプルダウン、プルアップすると中点電位になり不安定になる場合があるのでご注意ください。
- 注7) 未使用の出力端子は雑音低減のため各端子の制御用レジスタ設定で L 固定または出力オフとしてください。
- 注8) デジタル 1.2V 電源を使用する場合はコイル等でアイソレーションしてください。

CONFIDENTIAL

## 5. ホストCPUインタフェース

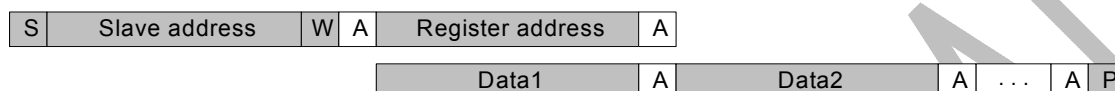
### 5.1 I<sup>2</sup>Cバスインタフェース



ホスト CPU とのインタフェースは I<sup>2</sup>C バスです。レジスタのリード・ライトを行うことができます。スレーブアドレスの LSB が"0"の時は**地上デジタル (OFDM)** 復調訂正部のレジスタを読み書きし、LSB が"1"の時は**衛星デジタル (PSK)** 復調訂正部のレジスタを読み書きします。

また、スルーライトモード、スルーリードモードにより、TC90512 を経由して地上デジタルまたは BS/CS チューナ IC の I<sup>2</sup>C レジスタのリード・ライトを行うことができます。

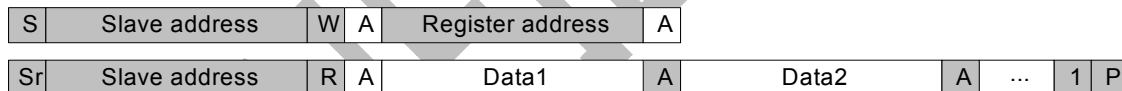
なお、I<sup>2</sup>C バスクロックの最高動作周波数は 400kHz です。



#### (1) ライトモード



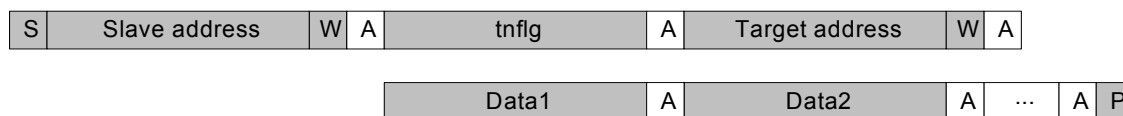
S	Start condition
Slave address	I <sup>2</sup> C address "0011"+SLADRS1+SLADRS0 +"0"(7bit) : OFDM "0011"+SLADRS1+SLADRS0 +"1"(7bit) : PSK
R/W	0:write 1:read
A	Acknowledge
Register address	Start address (8bit)
Data1,2,...	Write data (8bit)
P	Stop condition
	from master to slave
	from slave to master

#### (2) リードモード



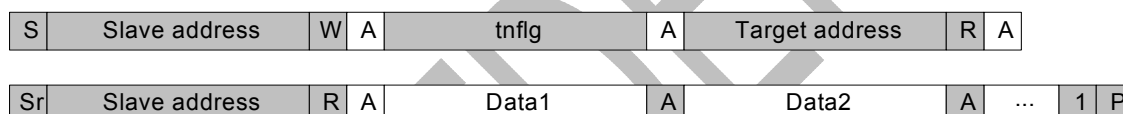
S	Start condition
Slave address	I <sup>2</sup> C address "0011"+SLADRS1+SLADRS0 +"0"(7bit) : OFDM "0011"+SLADRS1+SLADRS0 +"1"(7bit) : PSK
R/W	0:write 1:read
A	Acknowledge
Register address	Start address (8bit)
Data1,2,...	Read data (8bit)
P	Stop condition
Sr	Repeated start
	from master to slave
	from slave to master

## (3) スルー・ライトモード



S Start condition  
 Slave address I<sup>2</sup>C address "0011"+SLADRS1+SLADRS0+"0"(7bit) : OFDM  
 "0011"+SLADRS1+SLADRS0+"1"(7bit) : PSK  
 R/W 0:write 1:read  
 A Acknowledge  
 tnflg address through start address (11111110)  
 Target address target slave address (7bit)  
 Data1,2,... Write data (8bit)  
 P Stop condition  
☐ from master to slave  
☐ from slave to master

## (4) スルー・リードモード



S Start condition  
 Slave address I<sup>2</sup>C address "0011"+SLADRS1+SLADRS0+"0"(7bit) : OFDM  
 "0011"+SLADRS1 +SLADRS0 +"1"(7bit) : PSK  
 R/W 0:write 1:read  
 A Acknowledge  
 tnflg address through start address (11111110)  
 Target address target slave address (7bit)  
 Data1,2,... Read data (8bit)  
 P Stop condition  
 Sr Repeated start  
☐ from master to slave  
☐ from slave to master

**【重要】** スルー・ライトおよびスルー・リードモードにおいて、端子 TNSCL および JTNSCL のバス  
 クロック Low 期間を延長する使用はできません。(I<sup>2</sup>C 仕様にはこのような機能が含まれます  
 が、TC90512 のスルーモードは対応していません。)

## 5.2 レジスタアドレスマップ

## 5.2.1 PSK復調レジスタマップ

アドレス [HEX]	データ (上段) / 初期値 (下段)								初期値 [HEX]	R/W
	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]		
01	psksyrst								10	W
	0	0	0	1	0	0	0	0		
03								pskmsrst	00	W
	0	0	0	0	0	0	0	0		
04				emgmsk			chclkp		00	W
	0	0	0	0	0	0	0	0		
06		iqch			bytesel	jhselout			00	W
	0	0	0	0	0	0	0	0		
07		jtsld		jtslc		jtslb		jtsla	41	W
	0	1	0	0	0	0	0	1		
09	aglmin[7:0]								00	W
	0	0	0	0	0	0	0	0		
0A	aglmax[7:0]								FF	W
	1	1	1	1	1	1	1	1		
0C	jhkfrq[15:8]								XSEL	W
	-	-	-	-	-	-	-	-		
0D	jhkfrq[7:0]								XSEL	W
	-	-	-	-	-	-	-	-		
0E	agcgn[2:0]								F0	W
	1	1	1	1	0	0	0	0		
0F	afcg[7:0]								XSEL	W
	-	-	-	-	-	-	-	-		
10	aagcdv[2:0]				amglvl[9:8]				B2	W
	1	0	1	1	0	0	1	0		
11	amglvl[7:0]								00	W
	0	0	0	0	0	0	0	0		
12	aagpcw[1:0]		aggsft[1:0]		aggthr[3:0]				30	W
	0	0	1	1	0	0	0	0		
13	jslpadc	atpt	jslpmd						00	W
	0	0	0	0	0	0	0	0		
14		lnb	jport						00	W
	0	0	0	0	0	0	0	0		
15	tetim[4:0]								00	W
	0	0	0	0	0	0	0	0		
17	watim[7:0]								00	W
	0	0	0	0	0	0	0	0		
1A	inpnone	unlocke	crslipe	tmcerre	sdivree	rlockle	tmcreve	tmchge	00	W
	0	0	0	0	0	0	0	0		
1B	inpnoneiv	unlockeiv	crslipeiv	tmcerreiv	sdivreeiv	rlockleiv	tmcreveiv	tmchgeiv	00	W
	0	0	0	0	0	0	0	0		
1C	bpbv_en[1:0]		brse_en[1:0]		bstf1_en[1:0]		bstf0_en[1:0]		00	W
	0	0	0	0	0	0	0	0		
1D	bstat_en[1:0]		block_en[1:0]		bstatl_en[1:0]		brso_en[1:0]		00	W
	0	0	0	0	0	0	0	0		
1E			bpot_en[1:0]		bagc_en[1:0]				00	W
	0	0	0	0	0	0	0	0		
1F	blnb_en[1:0]		bsrf_en[1:0]		brsck_en[1:0]		bsby_en[1:0]		00	W
	0	0	0	0	0	0	0	0		
20	jstmdc[1:0]		jstmdc[1:0]		jstmdb[1:0]		jstmda[1:0]		00	W
	0	0	0	0	0	0	0	0		
38	acolvl[7:0]								40	W
	0	1	0	0	0	0	0	0		

39	aagref[7:0]								10	W	
	0	0	0	1	0	0	0	0			
3B									deqoff	90	W
	1	0	0	1	0	0	0	0			
51	pllhma[3:0]								C0	W	
	1	1	0	0	0	0	0	0			
52					pllbgd[5:4]				8A	W	
	1	0	0	0	1	0	1	0			
53	pllbgd[3:0]								13	W	
	0	0	0	1	0	0	1	1			
57	tston								00	W	
	0	0	0	0	0	0	0	0			
5A								pllqgd[5:4]	2E	W	
	0	0	1	0	1	1	1	0			
5B	pllqgd[3:0]								23	W	
	0	0	1	0	0	0	1	1			
85				adfs[1:0]					59	W	
	0	1	0	1	1	0	0	1			
87						aagcinv				00	W
	0	0	0	0	0	0	0	0			
8D	rsoff	tmoff	msboff		nullon_h	nullon_l	tmccadd		00	W	
	0	0	0	0	0	0	0	0			
8E	hlmask[1:0]		dvaloff		beron	pkstop	nuval	valrev	00	W	
	0	0	0	0	0	0	0	0			
8F	iits[15:8]								00	W	
	0	0	0	0	0	0	0	0			
90	iits[7:0]								00	W	
	0	0	0	0	0	0	0	0			
A3	anuval	cych[2:0]			asynrng	cycl[2:0]			77	W	
	0	1	1	1	0	1	1	1			
A4	rsckrev	shch[2:0]			shcl[2:0]				00	W	
	0	0	0	0	0	0	0	0			
A5	tschh	corchh						jperst	00	W	
	0	0	0	0	0	0	0	0			
A6	erval[2:0]				oponff	okval[2:0]			04	W	
	0	0	0	0	0	1	0	0			
B8	tsic[15:8]								00	R	
	0	0	0	0	0	0	0	0			
B9	tsic[7:0]								00	R	
	0	0	0	0	0	0	0	0			
BA	crunlock	agcmc[6:0]							00	R	
	0	0	0	0	0	0	0	0			
BB	afcfrq[7:0]								00	R	
	0	0	0	0	0	0	0	0			
BC	cnmc[15:8]								00	R	
	0	0	0	0	0	0	0	0			
BD	cnmc[7:0]								00	R	
	0	0	0	0	0	0	0	0			
BE	clkfrq[7:0]								00	R	
	0	0	0	0	0	0	0	0			
C3	inpnon	unlock	crslip	tmcerr	sdive	emgcy	tmcrev	tmchg	00	R	
	0	0	0	0	0	0	0	0			
C5	pm1d[4:0]						rlockh	rlockl	00	R	
	0	0	0	0	0	0	0	0			
C6	acnt[5:0]								00	R	
	0	0	0	0	0	0	0	0			
C7					uplink[3:0]				00	R	
	0	0	0	0	0	0	0	0			

C8	d_mode1[3:0]				d_mode2[3:0]				00	R
	0	0	0	0	0	0	0	0		
C9	d_mode3[3:0]				d_mode4[3:0]				00	R
	0	0	0	0	0	0	0	0		
CA					s_mode1[5:0]				00	R
	0	0	0	0	0	0	0	0		
CB					s_mode2[5:0]				00	R
	0	0	0	0	0	0	0	0		
CC					s_mode3[5:0]				00	R
	0	0	0	0	0	0	0	0		
CD					s_mode4[5:0]				00	R
	0	0	0	0	0	0	0	0		
CE					tsid0[15:8]				00	R
	0	0	0	0	0	0	0	0		
CF					tsid0[7:0]				00	R
	0	0	0	0	0	0	0	0		
D0					tsid1[15:8]				00	R
	0	0	0	0	0	0	0	0		
D1					tsid1[7:0]				00	R
	0	0	0	0	0	0	0	0		
D2					tsid2[15:8]				00	R
	0	0	0	0	0	0	0	0		
D3					tsid2[7:0]				00	R
	0	0	0	0	0	0	0	0		
D4					tsid3[15:8]				00	R
	0	0	0	0	0	0	0	0		
D5					tsid3[7:0]				00	R
	0	0	0	0	0	0	0	0		
D6					tsid4[15:8]				00	R
	0	0	0	0	0	0	0	0		
D7					tsid4[7:0]				00	R
	0	0	0	0	0	0	0	0		
D8					tsid5[15:8]				00	R
	0	0	0	0	0	0	0	0		
D9					tsid5[7:0]				00	R
	0	0	0	0	0	0	0	0		
DA					tsid6[15:8]				00	R
	0	0	0	0	0	0	0	0		
DB					tsid6[7:0]				00	R
	0	0	0	0	0	0	0	0		
DC					tsid7[15:8]				00	R
	0	0	0	0	0	0	0	0		
DD					tsid7[7:0]				00	R
	0	0	0	0	0	0	0	0		
DE					exfld[60:53]				00	R
	0	0	0	0	0	0	0	0		
DF					exfld[52:45]				00	R
	0	0	0	0	0	0	0	0		
E0					exfld[44:37]				00	R
	0	0	0	0	0	0	0	0		
E1					exfld[36:29]				00	R
	0	0	0	0	0	0	0	0		
E2					exfld[28:21]				00	R
	0	0	0	0	0	0	0	0		
E3					exfld[20:13]				00	R
	0	0	0	0	0	0	0	0		
E4					exfld[12:5]				00	R
	0	0	0	0	0	0	0	0		

E5	exfld[4:0]								00	R
	0	0	0	0	0	0	0	0		
E6	tsido[15:8]								00	R
	0	0	0	0	0	0	0	0		
E7	tsido[7:0]								00	R
	0	0	0	0	0	0	0	0		
E8	nul_h	rateh[2:0]			nul_l	ratel[2:0]			00	R
	0	0	0	0	0	0	0	0		
E9			sloth[5:0]						00	R
	0	0	0	0	0	0	0	0		
EA			slotl[5:0]						00	R
	0	0	0	0	0	0	0	0		
EB	perrh[23:16]								00	R
	0	0	0	0	0	0	0	0		
EC	perrh[15:8]								00	R
	0	0	0	0	0	0	0	0		
ED	perrh[7:0]								00	R
	0	0	0	0	0	0	0	0		
EE	pecyh[15:8]								00	R
	0	0	0	0	0	0	0	0		
EF	pecyh[7:0]								00	R
	0	0	0	0	0	0	0	0		
F0	perrl[23:16]								00	R
	0	0	0	0	0	0	0	0		
F1	perrl[15:8]								00	R
	0	0	0	0	0	0	0	0		
F2	perrl[7:0]								00	R
	0	0	0	0	0	0	0	0		
F3	pecyl[15:8]								00	R
	0	0	0	0	0	0	0	0		
F4	pecyl[7:0]								00	R
	0	0	0	0	0	0	0	0		
FE	tnflg[7:0]								00	W
	0	0	0	0	0	0	0	0		

※ 網掛け部は未使用またはテスト用のレジスタです。初期値と異なる値を設定しないでください。

※ 通常動作においても初期値と異なる値を設定しなければならないものがあります。(評価ソフトをご参照ください。)

※ R/W で"W"は書き込み専用レジスタ、"R"は読み出し専用レジスタです。ただし、"W"レジスタに書き込んだ値を同じレジスタアドレスから読み出して確認することができます。ただし、下記のレジスタを除きます。

アドレス 01h データ[7]

psksyrst

アドレス 03h データ[0]

pskmsrst

アドレス A5h データ[0]

jperst

アドレス FEh データ[7:0]

tnflg[7:0]

※ 初期値に XSEL と記載されているレジスタは、その一部または全部が端子 XSEL1 および XSEL0 で SYRSTN リセット時に自動的に設定されます。自動的に設定されるビットは"-"で示します。



## 5.2.2 OFDM復調レジスタマップ

アドレス [HEX]	データ（上段）／初期値（下段）								初期値 [HEX]	R/W
	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]		
01	isyrst	imrst		iwsrst	slpmd	slpkmon			00	W
	0	0	0	0	0	0	0	0		
02	recvmd[1:0]				segssel[3:0]				00	W
	0	0	0	0	0	0	0	0		
03	slpadc		slptim[2:0]		wuptim[3:0]				00	W
	0	0	0	0	0	0	0	0		
04							ixckosl	ixosl	XCKOSL	W
	0	0	0	0	0	0	-	0		
05	stdisa[7:0]								00	W
	0	0	0	0	0	0	0	0		
06	stdisb[7:3]								00	W
	0	0	0	0	0	0	0	0		
07	stinva[7:0]								00	W
	0	0	0	0	0	0	0	0		
08	stinvb[7:3]								00	W
	0	0	0	0	0	0	0	0		
0C	stmda[1:0]		stmdb[1:0]		flmd[1:0]		rlmd[1:0]		00	W
	0	0	0	0	0	0	0	0		
0F	pinsld[1:0]		pinslc[1:0]		pinslb[1:0]		pinsla[1:0]		F4	W
	1	1	1	1	0	1	0	0		
11	ilpdiv[5:0]								XSEL	W
	0	0	-	-	-	-	-	-		
12	iexdiv[4:0]								XSEL	W
	-	-	-	-	-	-	-	-		
13	hkfrq[15:8]								XSEL	W
	0	0	0	0	0	0	0	0		
14	hkfrq[7:0]								XSEL	W
	0	0	0	0	0	0	0	0		
15	hkncog[1:0]								40	W
	0	1	0	0	0	0	0	0		
17	clkg_h[1:0]		clkg_l[1:0]						70	W
	0	1	1	1	0	0	0	0		
18	ckpli1g[2:0]				ckpli1g[2:0]				31	W
	0	0	1	1	0	0	0	1		
19	ckpli2g[2:0]				ckpli3g[2:0]				13	W
	0	0	0	1	0	0	1	1		
1A	ckpld1g[2:0]				ckpld1g[2:0]				31	W
	0	0	1	1	0	0	0	1		
1B	ckpld2g[2:0]				ckpld3g[2:0]				13	W
	0	0	0	1	0	0	1	1		
1C	agccntioen[1:0]		agccntroen[1:0]		stsflg1oen[1:0]		stsflg0oen[1:0]		00	W
	0	0	0	0	0	0	0	0		
1D	rlockoen[1:0]		rerroen[1:0]		rsoutoen[1:0]			hselout	00	W
	0	0	0	0	0	0	0	0		
1E	flockoen[1:0]		slpenoen[1:0]		sroen[1:0]		rsckooen[1:0]		00	W
	0	0	0	0	0	0	0	0		
1F	sbyteoen[1:0]		pbvaloen[1:0]		rseorfoen[1:0]				00	W
	0	0	0	0	0	0	0	0		
20	delayp[7:0]								00	R/W
	0	0	0	0	0	0	0	0		
21	rf_max[7:0]								FF	W
	1	1	1	1	1	1	1	1		
22	rfif	sifon	sifinv	agcthr	agdactnt[1:0]		agdack[1:0]		80	W
	1	0	0	0	0	0	0	0		

23	ifagcg1[2:0]			ifagcg2[2:0]			ifagc_inv	ifmgcon	4C	W
	0	1	0	0	1	1	0	0		
24	rfagcg1[2:0]			rfagcg2[2:0]			rfagc_inv	rfmgcon	4C	W
	0	1	0	0	1	1	0	0		
25	ifmgc[7:0]								00	W
	0	0	0	0	0	0	0	0		
26	rfmgc[7:0]								00	W
	0	0	0	0	0	0	0	0		
27	dpstep[7:0]								0C	W
	0	0	0	0	1	1	0	0		
28	dp_sft			ifthd[3:0]					60	W
	0	1	1	0	0	0	0	0		
29	dplmth[7:0]								6B	W
	0	1	1	0	1	0	1	1		
2A	dplmtl[7:0]								40	W
	0	1	0	0	0	0	0	0		
2B	dpcttim			rfthd[3:0]					40	W
	0	1	0	0	0	0	0	0		
2C	almh[7:0]								FF	W
	1	1	1	1	1	1	1	1		
2D	alm[7:0]								00	W
	0	0	0	0	0	0	0	0		
2E	if_max[7:0]								FF	W
	1	1	1	1	1	1	1	1		
2F	rf_min[7:0]								00	W
	0	0	0	0	0	0	0	0		
30	carg_h[1:0]		carg_l[1:0]		f_inv	sbchlimt			XSEL	W
	0	0	1	0	-	0	0	0		
31	cpld_dt[13:8]								XSEL	W
	0	0	-	-	-	-	-	-		
32	cpld_dt[7:0]								XSEL	W
	-	-	-	-	-	-	-	-		
34	lpfsl[1:0]			ifsch[1:0]		rfsch[1:0]			XSEL	W
	0	0	-	-	1	1	1	1		
38								affrq[8]	XSEL	W
	0	0	0	0	0	0	0	-		
39	affrq[7:0]								XSEL	W
	-	-	-	-	-	-	-	-		
3A	syini_tim[7:0]								10	W
	0	0	0	1	0	0	0	0		
3B	retrycnt[3:0]			symds_off[11:8]					10	W
	0	0	0	1	0	0	0	0		
3C	symds_off[7:0]								00	W
	0	0	0	0	0	0	0	0		
3D	cdtref[7:0]								10	W
	0	0	0	1	0	0	0	0		
3E	ofsref[7:0]								08	W
	0	0	0	0	1	0	0	0		
3F	afctim_1[7:0]								0C	W
	0	0	0	0	1	1	0	0		
40	afctim_2[7:0]								0C	W
	0	0	0	0	1	1	0	0		
41	plltim_1[7:0]								00	W
	0	0	0	0	0	0	0	0		
42	plltim_2[7:0]								00	W
	0	0	0	0	0	0	0	0		
43	fmax_ini[3:0]			fdtmax[3:0]					4F	W
	0	1	0	0	1	1	1	1		

44					ndtmax[3:0]				FF	W
	1	1	1	1	1	1	1	1		
46	tlmsel[1:0]		mgthsel[1:0]						20	W
	0	0	1	0	0	0	0	0		
47	mdtsel	mlocksel							00	W
	0	0	0	0	0	0	0	0		
48	cnth[7:0]								90	W
	1	0	0	1	0	0	0	0		
49	md1_cpd[1:0]		md2_cpd[1:0]		md3_cpd[1:0]				E6	W
	1	1	1	0	0	1	1	0		
4A	syimp_off		wlmsel[1:0]		wslim[2:0]				02	W
	0	0	0	0	0	0	1	0		
4B								syld_off	80	W
	1	0	0	0	0	0	0	0		
4C	tdtmax[1:0]		cpdmax[1:0]		spdmax[1:0]		tmdmax[1:0]		00	W
	0	0	0	0	0	0	0	0		
4F	eqqth[2:0]					eqcngsel[2:0]			05	W
	0	0	0	0	0	1	0	1		
50	cpet_off	cpe_off							00	W
	0	0	0	0	0	0	0	0		
51	cvcnth [7:0]								68	W
	0	1	1	0	1	0	0	0		
52	csioff	cvioff					fdoff	fdfm	20	W
	0	0	1	0	0	0	0	0		
54	ofsd[7:0]								57	W
	0	1	0	1	0	1	1	1		
55	sclid[7:0]								F1	W
	1	1	1	1	0	0	0	1		
56	tvth[7:0]								20	W
	0	0	1	0	0	0	0	0		
57	fvth[7:0]								70	W
	0	1	1	1	0	0	0	0		
5C			cngsel[2:0]		cntdmax[3:0]				50	W
	0	1	0	1	0	0	0	0		
5D			cntumax[5:0]						00	W
	0	0	0	0	0	0	0	0		
5F	plroff								00	W
	0	0	0	0	0	0	0	0		
70	dintoff	dscroff	okval[2:0]			erval[2:0]			18	W
	0	0	0	1	1	0	0	0		
71	rsoff	revck	palonff	ipbval	msoff	laysel[2:0]			00	W
	0	0	0	0	0	0	0	0		
72				rmsk[2:0]					00	W
	0	0	0	0	0	0	0	0		
75		beron	rlocksw		nuckz		chckp		00	W
	0	0	0	0	0	0	0	0		
76	auto_nul		cyc[2:0]		nuval	anuval	asyncng	perst	02	W
	0	0	0	0	0	0	1	0		
77	shsc[2:0]			shsl[2:0]			tsch	cor	00	W
	0	0	0	0	0	0	0	0		
7C						grgain[2:0]			00	W
	0	0	0	0	0	0	0	0		
7D		gripklv[2:0]				gropklv[2:0]			52	W
	0	1	0	1	0	0	1	0		
7F					gract	grovnum[2:0]			00	R
	0	0	0	0	0	0	0	0		
80	retryov	alarm	tmunvld	mdunvld	fulock	vulock	rulock	rseorf	00	R
	0	0	0	0	0	0	0	0		

81	emerg	tmcchg	cdunvld	slpen					00	R
	0	0	0	0	0	0	0	0		
82	ifagc_dt[7:0]								00	R
	0	0	0	0	0	0	0	0		
83	rfagc_dt[7:0]								00	R
	0	0	0	0	0	0	0	0		
84	carafc_dt[15:8]								00	R
	0	0	0	0	0	0	0	0		
85	carafc_dt[7:0]								00	R
	0	0	0	0	0	0	0	0		
86	clkafc_dt[15:8]								00	R
	0	0	0	0	0	0	0	0		
87	clkafc_dt[7:0]								00	R
	0	0	0	0	0	0	0	0		
89	mondati[7:0]								00	R
	0	0	0	0	0	0	0	0		
8A	mondattq[7:0]								00	R
	0	0	0	0	0	0	0	0		
8B	cndat[23:16]								00	R
	0	0	0	0	0	0	0	0		
8C	cndat[15:8]								00	R
	0	0	0	0	0	0	0	0		
8D	cndat[7:0]								00	R
	0	0	0	0	0	0	0	0		
8E	fvar[7:0]								00	R
	0	0	0	0	0	0	0	0		
8F	tvar[7:0]								00	R
	0	0	0	0	0	0	0	0		
90	eqqdt[2:0]				cvimax[11:8]				00	R
	0	0	0	0	0	0	0	0		
91	cvimax[7:0]								00	R
	0	0	0	0	0	0	0	0		
92					cviloc[12:8]				00	R
	0	0	0	0	0	0	0	0		
93	cviloc[7:0]								00	R
	0	0	0	0	0	0	0	0		
94	fddet					cvim[11:8]			00	R
	0	0	0	0	0	0	0	0		
95	cvim[7:0]								00	R
	0	0	0	0	0	0	0	0		
96	rlocka	rlockb	rlockc						00	R
	0	0	0	0	0	0	0	0		
97	verra[15:8]								00	R
	0	0	0	0	0	0	0	0		
98	verra[7:0]								00	R
	0	0	0	0	0	0	0	0		
99	verrb[15:8]								00	R
	0	0	0	0	0	0	0	0		
9A	verrb[7:0]								00	R
	0	0	0	0	0	0	0	0		
9B	verrc[15:8]								00	R
	0	0	0	0	0	0	0	0		
9C	verrc[7:0]								00	R
	0	0	0	0	0	0	0	0		
9D	perra[23:16]								00	R
	0	0	0	0	0	0	0	0		
9E	perra[15:8]								00	R
	0	0	0	0	0	0	0	0		

9F	perra[7:0]								00	R
	0	0	0	0	0	0	0	0		
A0	perrb[23:16]								00	R
	0	0	0	0	0	0	0	0		
A1	perrb[15:8]								00	R
	0	0	0	0	0	0	0	0		
A2	perrb[7:0]								00	R
	0	0	0	0	0	0	0	0		
A3	perrc[23:16]								00	R
	0	0	0	0	0	0	0	0		
A4	perrc[15:8]								00	R
	0	0	0	0	0	0	0	0		
A5	perrc[7:0]								00	R
	0	0	0	0	0	0	0	0		
A6	pecya[15:8]								00	R
	0	0	0	0	0	0	0	0		
A7	pecya[7:0]								00	R
	0	0	0	0	0	0	0	0		
A8	pecyb[15:8]								00	R
	0	0	0	0	0	0	0	0		
A9	pecyb[7:0]								00	R
	0	0	0	0	0	0	0	0		
AA	pecyc[15:8]								00	R
	0	0	0	0	0	0	0	0		
AB	pecyc[7:0]								00	R
	0	0	0	0	0	0	0	0		
AC				s_inform				agcim	00	R
	0	0	0	0	0	0	0	0		
AD	wunvld								00	R
	0	0	0	0	0	0	0	0		
B0	ffsize[1:0]		gdleng[1:0]		sequen[3:0]				A0	R/W
	1	0	1	0	0	0	0	0		
B1	woffset[7:0]								02	R/W
	0	0	0	0	0	0	1	0		
B2	sysid[1:0]		pachg[3:0]				emeflg	part	3D	R/W
	0	0	1	1	1	1	0	1		
B3	a_cnst[2:0]		a_rate[2:0]		a_ileav[2:1]				25	R/W
	0	0	1	0	0	1	0	1		
B4	a_ileav[0]	a_seg[3:0]				b_cnst[2:0]			8B	R/W
	1	0	0	0	1	0	1	1		
B5	b_rate[2:0]		b_ileav[2:0]		b_seg[3:2]				4B	R/W
	0	1	0	0	1	0	1	1		
B6	b_seg[1:0]		c_cnst[2:0]		c_rate[2:0]				3F	R/W
	0	0	1	1	1	1	1	1		
B7	c_ileav[2:0]		c_seg[3:0]				phcomp[2]		FF	R/W
	1	1	1	1	1	1	1	1		
B8	phcomp[1:0]		resva[5:0]						FF	R/W
	1	1	1	1	1	1	1	1		
B9	resvb[5:0]								FC	R/W
	1	1	1	1	1	1	0	0		
BA	monadr[12:8]								00	W
	0	0	0	0	0	0	0	0		
BB	monadr[7:0]								00	W
	0	0	0	0	0	0	0	0		
BC	sp_hold	monsel							00	W
	0	0	0	0	0	0	0	0		
C7	groff								00	W
	0	0	0	0	0	0	0	0		

C8				gr1dly[12:8]					00	R
	0	0	0	0	0	0	0	0		
C9	gr1dly[7:0]								00	R
	0	0	0	0	0	0	0	0		
CA				gr2dly[12:8]					00	R
	0	0	0	0	0	0	0	0		
CB	gr2dly[7:0]								00	R
				0	0	0	0	0		
CC				gr3dly[12:8]					00	R
	0	0	0	0	0	0	0	0		
CD	gr3dly[7:0]								00	R
	0	0	0	0	0	0	0	0		
DA	dagc_dt[7:0]								00	R
	0	0	0	0	0	0	0	0		
E4	schnum[3:0]				initnum[3:0]				84	W
	1	0	0	0	0	1	0	0		
EC					recvmdsel				00	W
	0	0	0	0	0	0	0	0		
EF								sydfmd[1:0]	00	W
	0	0	0	0	0	0	0	0		
FE	tnflg[7:0]								00	W
	0	0	0	0	0	0	0	0		

- ※ 網掛け部は未使用またはテスト用のレジスタです。初期値と異なる値を設定しないでください。
- ※ 通常動作においても初期値と異なる値を設定しなければならないものがあります。(評価ソフトをご参照ください。)
- ※ R/W で"W"は書き込み専用レジスタ、"R"は読出し専用レジスタです。ただし、"W"レジスタに書き込んだ値を同じレジスタアドレスから読み出して確認することができます。ただし、下記のレジスタを除きます。
- アドレス 01h    データ[7]    isyrst  
                   データ[6]    imsrst  
                   データ[4]    iwsrst  
   アドレス 76h    データ[0]    perst  
   アドレス FEh    データ[7:0]    tnflg[7:0]
- ※ 初期値に XSEL と記載されているレジスタは、その一部または全部が端子 XSEL1 および XSEL0 で SYRSTN リセット時に自動的に設定されます。自動的に設定されるビットは"ー"で示します。

## 6. 入出力インタフェース

### 6.1 PSK復調IF入力インタフェース

TC90512XBG の PSK 復調部は直交検波された IQ ベースバンド信号を入力とします。入力された PSK 信号は IC 内部で AD 変換され、復調および誤り訂正処理が行われます。IQ 信号のインタフェースを以下に示します。

- 1) 入力形式 : IQ ベースバンド形式、差動／シングル入力、
  - ・ バイアス回路内蔵のため外部バイアス抵抗は必要ありません。 直流カットして IF 信号を入力します。
  - ・ シングルエンド入力とする場合は AIP 側に入力し、AIN 側は交流的に接地してください。
- 2) 入力インピーダンス : 10k $\Omega$  // (参考値 7pF)
- 3) ADC ダイナミックレンジ : 差動間電圧 0.75Vp-p (adfs で 0.5 から 1.5Vp-p まで変更可能)
- 4) 規定入力レベル : 差動間電圧 0.375Vp-p typ. (正弦波換算でダイナミックレンジの 1/2、入力 C/N に応じて適応制御されます。)
- 5) IQ 直交ずれ補正範囲 :  $\pm 5^\circ$  typ.
- 6) IQ 利得ずれ補正範囲 :  $\pm 2$ dB typ.
- 7) キャリア引込範囲 :  $\pm 5$ MHz typ.
- 8) クロック許容周波数偏差 :  $\pm 200$ ppm typ.

### 6.2 OFDM復調IF入力インタフェース

TC90512XBG の OFDM 復調部は IF(中間周波数) に周波数変換された OFDM 信号または直交検波された IQ ベースバンド信号を入力とします。入力された OFDM 信号は IC 内部で AD 変換され、直交検波、復調および誤り訂正処理が行われます。IF 信号のインタフェースを以下に示します。

- 1) 入力形式 : IF または IQ ベースバンド形式、差動／シングルエンド入力
  - ・ バイアス回路が内蔵されているため、外部にバイアス抵抗は必要ありません。直流カットして IF 信号を入力します。
  - ・ シングルエンド入力とする場合は AIP 側に入力し、AIN 側は交流的に接地してください。
- 2) 入力インピーダンス : 10k $\Omega$  // (参考値 7pF)
- 3) ADC ダイナミックレンジ : 差動間電圧 1Vp-p
- 4) 規定入力レベル : 差動間電圧 290mVp-p typ. (正弦波換算、暫定値)
- 5) IF 中心周波数 : 4MHz、44MHz、57MHz
- 6) キャリア許容周波数偏差 :  $\pm 250$ kHz typ. (13 セグメント受信モード)  
 $\pm 200$ kHz typ. (1 または 3 セグメント受信モード)
- 7) クロック許容周波数偏差 :  $\pm 200$ ppm typ.
- 8) IQ ベースバンド入力時の補正範囲 : 利得ずれ  $\pm 1.5$ dB typ.、直交ずれ  $\pm 5^\circ$  typ.



**【重要】** クロック許容周波数偏差は、ばらつき、経年変化および長時間ドリフトの周波数偏差であり、電源投入時などにおける短時間での急激な周波数変化は含まれません。  
特に、クリスタルの周波数-温度特性に不連続な部分があると比較的小さい温度変化でも急激な周波数変化となり、復調 S/N 劣化や復調エラーを生じる場合がありますのでご注意ください。

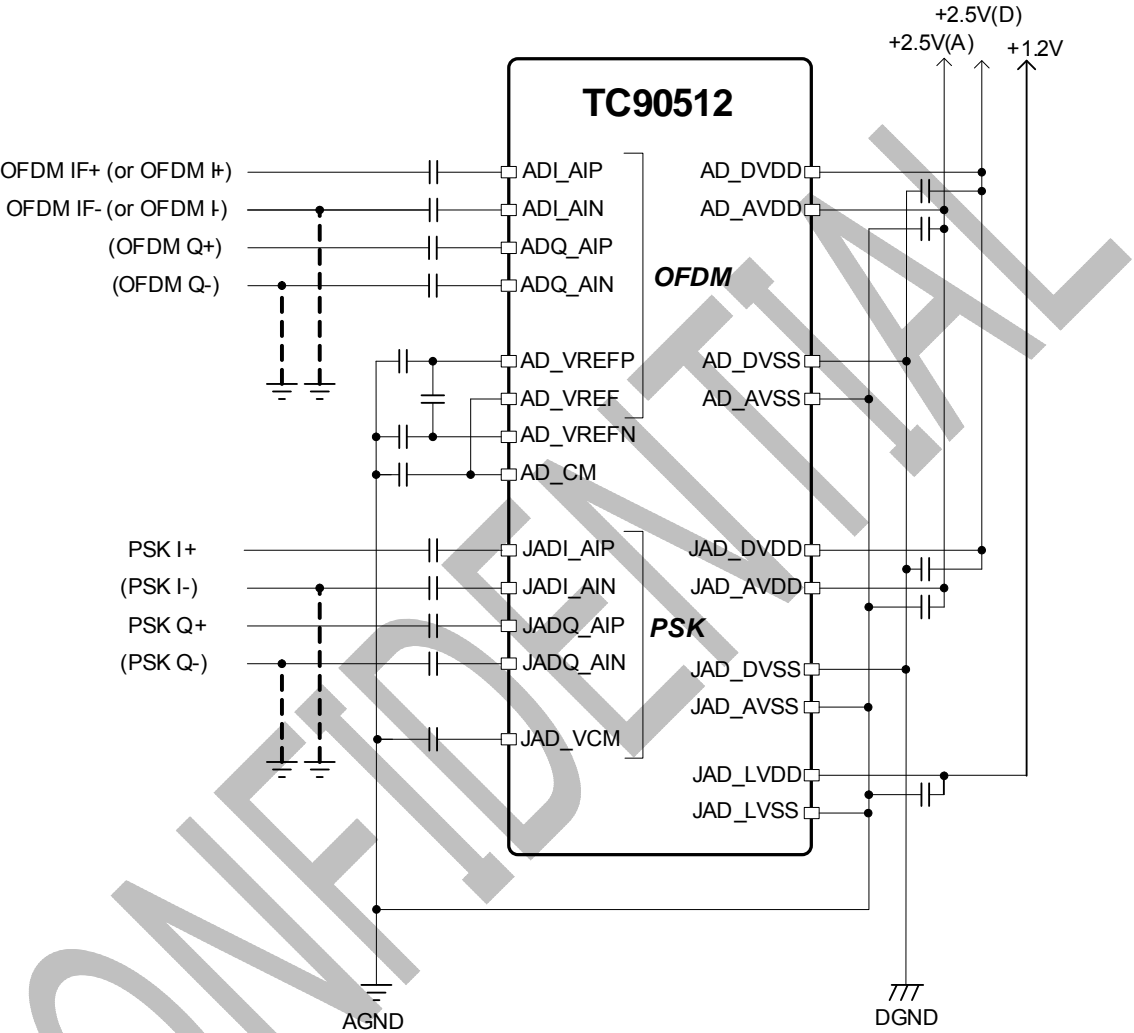


図 6.1 アナログ入力インタフェース

- ※ 入力は OFDM と PSK の両方とも IC 内部で DC バイアス電圧が印加されているので外部でのバイアス電圧供給は不要です。
- ※ OFDM は IF 入力に加えて IQ ベースバンド信号も入力することができます、その場合もシングルエンド入力と差動入力を選択することができます。
- ※ シングルエンド入力の場合は図中の破線で示されているように、アナログ GND に接地します。  
(雑音の影響を少なくするため、差動入力での使用を推奨します。)

OFDM レジスタマップ

名称	アドレス (HEX)	データ	R/W	初期値	内容
adfs	85	[5:4]	W	0x1	PSK 用 ADC フルスケール差動間電圧選択 0: 0.5 Vp-p 1: 0.75 Vp-p 2: 1.0 Vp-p 3: 1.5Vp-p

## 6.3 TS出力インタフェース

TC90512XBG は TS をパラレルまたはシリアル形式で出力します。PSK 復調用と OFDM 復調用の TS 出力が独立に用意されています。

**【重要】** 本 IC の TS 出力バイトクロックは基準クロックを間引きしたバーストクロックを分周して作られます。よって、TS シリアルクロックのデューティ比は一定ではありません。また、OFDM の狭帯域受信モードは広帯域受信モードと同じクロック周波数です。

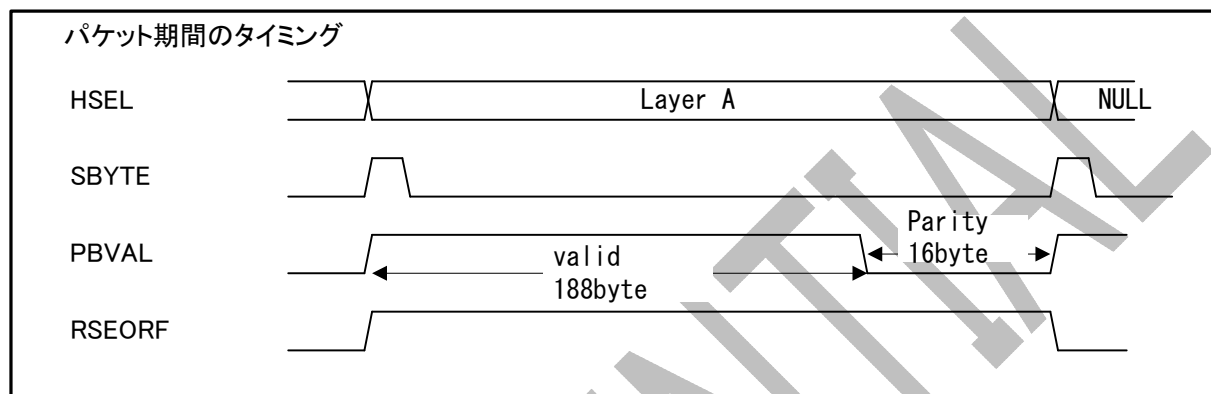


図 6.3 TS 出力フォーマット (パケット周期)

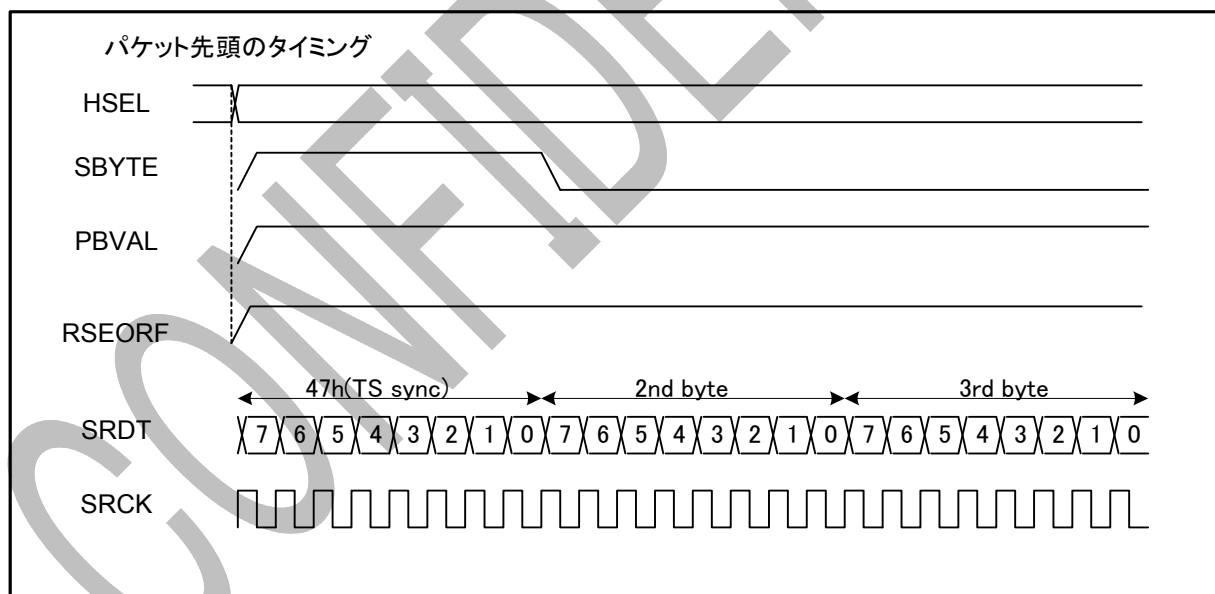


図 6.4 シリアル TS 出力フォーマット

HSEL : 有効/ヌルパケット識別フラグ  
 SBYTE : パケット同期  
 PBVAL : 情報バイト期間フラグ  
 RSEORF : パケットエラーフラグ  
 SRDT : TS シリアルデータ (パリティビット含む)  
 SRCK : TS シリアルクロック

※ **PSK 用端子は、上記信号名に"J"が付きます。**

## 6.4 クロック入力

TC90512 はクロック生成方法として、クリスタル発振器(XO)を用いた「XO モード」と外部よりクロックを入力する「外部クロックモード」の2つのモードに対応しています。

クリスタル発振出力または外部クロックを基準として IC 内蔵 PLL を同期させ、OFDM 復調および PSK 復調に必要なマスタクロックを生成します。

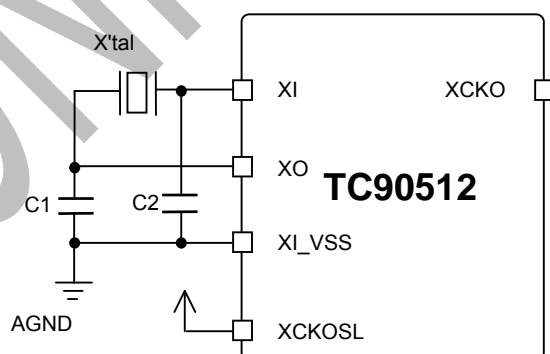
### 6.4.1 XOモード (水晶直付)

クリスタル直付けのモードで、使用できるクリスタル周波数は下記のとおりです。OFDM の入力 IF 周波数に応じてクリスタル周波数の使用可能な範囲が異なります。

- (1) OFDM 入力が 57MHz IF のとき： クリスタル周波数 25.400MHz  
レジスタ設定を変更することで他の周波数でも動作可能です。  
詳細は 6.5 節を参照ください。
- (2) OFDM 入力が 4MHz IF のとき： クリスタル周波数 4.000MHz  
レジスタ設定を変更することで他の周波数でも動作可能です。  
詳細は 6.5 節を参照ください。
- (3) OFDM 入力が IQ ベースバンドのとき：  
クリスタル周波数 4.000MHz  
レジスタ設定を変更することで他の周波数でも動作可能です。  
詳細は 6.5 節を参照ください。

それぞれのクリスタル周波数において分周比設定が異なります。分周比設定は、端子 XSEL1、XSEL0 およびレジスタ iexdiv および ilpdiv で行ないます。レジスタ iexdiv および ilpdiv の初期値は端子 XSEL1、XSEL0 で設定され、パワーオンリセット（システムリセット）が"0"のときに IC 内部に取り込まれ、"0"から"1"で確定されます。

各クリスタル周波数における分周比の設定例およびクロック周波数選択の際の留意事項は、6.5 節を参照してください。



C1=10pF (参考値)

C2=10pF (参考値)

- ※ 容量 C1、C2 は使用するクリスタルで最適値が異なります。適切な値でないと発振周波数のずれ、負性抵抗の低下などを生じる場合があります。
- ※ XCKO スプリアス防止のために **XCKOSL** またはレジスタ ixckosl="1"で出力停止させておきます。

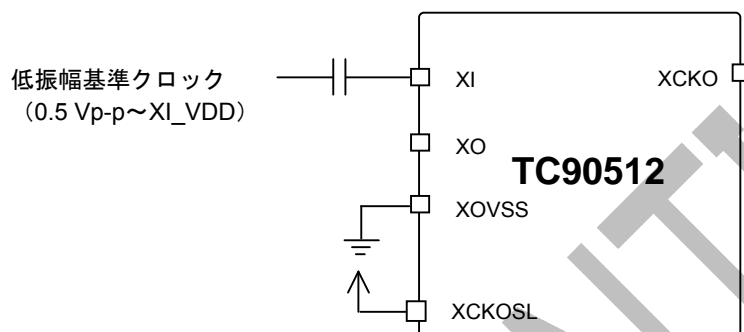
図 6.4 XO (クリスタル直付) モード

## 6.4.2 外部クロックモード

外部クロックモードは XI 端子から入力される低振幅(0.5Vp-p~XOVDD)クロック信号からマスタクロックを生成します。使用できる外部基準クロック周波数はクリスタル直付の場合と同じで、分周比設定方法等も同じです。

XI 端子に低振幅クロックを AC 結合で供給します。デフォルト設定では XO と XCKO にそれぞれ反転および非反転クロックが出力されますが、レジスタ ixosl="1"および ixckosl="1"でこれらの出力を停止することができます。

なお、XI 端子は 2.5V 電源 I/O です。2.5V (XI\_VDD) 電源電圧以上の振幅(p-p)でクロックを入力しないで下さい。XO 端子と XCKO 端子も 2.5V 電源 I/O です。



- ※ XI には VDDS (3.3V) レベルの信号は入力できません。
- ※ スプリアス防止のために ixosl="1"および **XCKOSL**(または ixckosl)="1"とすることで XO と XCKO 端子のクロック出力を停止させておきます。

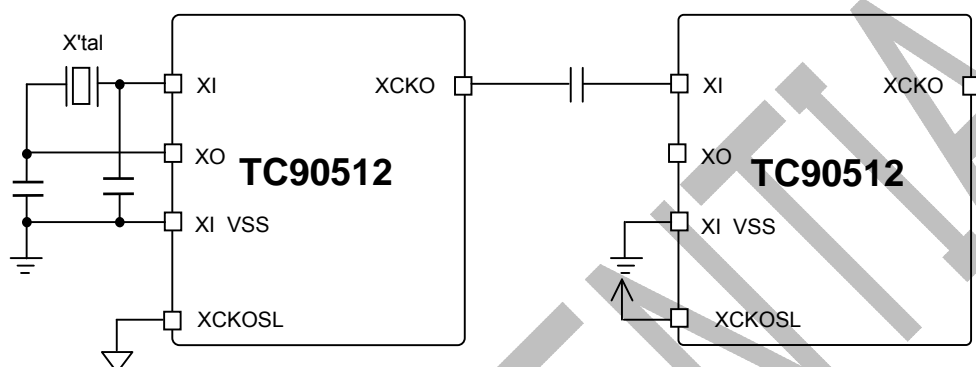
図 6.5 外部クロックモード（低振幅基準クロック入力）

## 6.4.3 クロック分配モード

TC90512 には規準クロックを他の IC に分配するための出力端子が用意されており、例えば複数の TC90512 を使用する場合に、ひとつのクリスタルのみで規準クロックを分配することができます。

なお、複数の TC90512 を使用する場合は、あらかじめ I<sup>2</sup>C のスレーブアドレスを IC ごとに異なるように設定しておく必要があります。

**【重要】** クロックを分配できる IC 数は雑音や負荷により異なります。最大スレーブアドレス数までの分配を保証するものではありません。



- ※ クリスタル接続側の IC は ixosl="0"、ixckosl="0"（デフォルト設定）とします。
- ※ クリスタル接続しない側の IC はスプリアス防止のために ixosl="1"および **XCKOSL** (または ixckosl)="1"とすることで XO と XCKO 端子のクロック出力を停止させます。

図 6.6 規準クロックの分配

## OFDM レジスタマップ

名称	アドレス (HEX)	データ	R/W	初期値	内容
ixckosl	04	[1]	W	XCKOSL	分配出力 XCKO 出力停止 0: XCKO 出力 ON    1: XCKO 出力 OFF
ixosl	04	[0]	W	0x0	XO 出力停止 0: XO 出力 ON    1: XO 出力 OFF

## 6.5 IF周波数とクロック周波数の設定

表 6-1 は TC90512 の **OFDM** 入力信号周波数と規準クロック（クリスタル）周波数 XT を規定するデフォルト設定です。端子 XSEL1 と XSEL0 を設定するとクロック関連のレジスタが自動的に設定されます。10 章に周波数関連のレジスタ設定例一覧が記載されているのでご参照ください。なお、表にない周波数での設定方法は次節以降を参照してください。（TC90512 の OFDM IF 中心周波数は 57MHz 以外でも使用可能です。例えば、44MHz で使用することもできます。ただし、レジスタの個別設定が必要なので別途お問い合わせください。）

表 6-1 基準クロック周波数と MD およびシリアルクロックの関係

クロック動作モード	端子 XSEL1	端子 XSEL0	OFDM の IF 中心周波数 [MHz]	基準クロック周波数 XT [MHz]	マスタクロック周波数 MD <sup>(注)</sup> [MHz]	OFDM シリアル TS クロック周波数 [MHz]	PSK シリアル TS クロック周波数 [MHz]
57MHz IF (XT=25MHz)	0	0	57.000	25.400	76.200 (3XT)	38.100	60.960
57MHz IF (XT=20MHz)	0	1	57.000	20.500	82.000 (4XT)	41.000	65.600
4MHz IF (XT=4MHz)	1	0	4.063	4.000	78.000	39.000	62.400
4MHz IF (XT=27MHz)	0	0	4.063	27.000	81.000	40.500	64.800
IQ ベースバンド (XT=4MHz)	1	1	0.000	4.000	78.000	39.000	62.400

注) MD 下限値は 76.157MHz です。これ以下に設定した場合は正常動作できません。

図 6.7 にクロック発生 PLL ブロック図を示します。レジスタ iexdiv は規準クロック側の分周比  $1/m$  設定、ilpdiv は VCO（電圧制御発振器）側の分周比  $1/n$  設定です。XSEL1 と XSEL0 はこれらのレジスタの初期値を端子で設定します。

AD サンプリグ周波数は **OFDM** の 57MHz IF（ダイレクト IF）モードでは XT、4MHz（低 IF）モードでは MD/4 です。また、OFDM の TS シリアルクロックは MD を 2 分周した周波数で、PSK の TS シリアルクロックは MD を 4/5 倍した周波数です。TS パラレルクロック（バイトクロック）はそれぞれの TS シリアルクロックの 1/8 の周波数です。

なお、いずれのクロック動作モードにおいても、マスタクロック MD が 76.157MHz 以下では正常動作できません。クリスタルの中心周波数偏差、温度変化、経年変化も考慮して常に下限値を下回らないようにしてください。

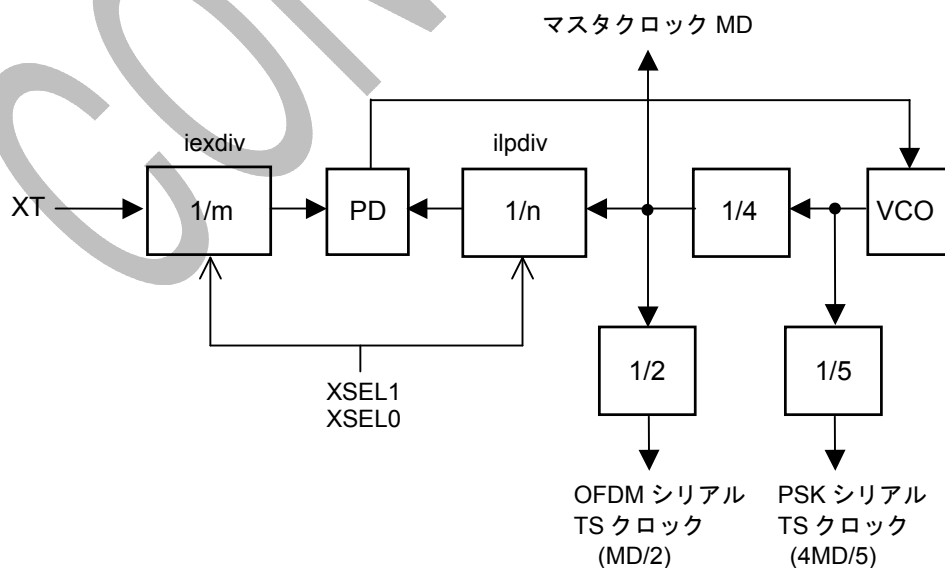


図 6.7 クロック発生 PLL ブロック図

### 6.5.1 57MHz IF (XT=25MHz) モード設定

57 MHz IF (XT=25MHz) モードは、57MHz IF を 2XT の周波数でアンダーサンプリングします。上下隣接チャンネルが帯域内に折り返さないの、入力 IF 信号に帯域外成分が比較的多く残留している場合に有効です。端子 XSEL1="0" と XSEL0="0" を設定すると、規準クロック周波数 XT=25.400MHz に合わせて下記のレジスタが自動的に設定されます。

• iexdiv=	"0Bh" (11)	: PLL 分周比 (規準クロック側)
• ilpdiv=	"21h" (33)	: PLL 分周比 (VCO 側)
• hkfrq=	"2C0Ah" (11,274)	: OFDM クロック周波数オフセット補正
• cpld_dt=	"0FA0h" (4,000)	: OFDM キャリア周波数オフセット補正
• affrq=	"170h" (368)	: OFDM キャリア AFC ループ利得補正
• lpfsf=	"3h"	: OFDM デジタルフィルタ
• f_inv=	"1"	: OFDM 周波数極性
• jhkfrq=	"51F6h" (20,982)	: PSK クロック周波数オフセット補正
• afcg=	"52h" (82)	: PSK キャリア AFC ループ利得補正

もし、規準クロック周波数 XT を 25.400MHz から変更する場合は、XT=25.386~26.111MHz の間で選択してください。(この範囲外では正常動作できません。) XT 周波数が低いほど上隣接チャンネルの折り返しが少なくなる反面、下隣接チャンネルの折り返しが帯域内に入りやすくなります。一方、XT 周波数が高いほど下隣接チャンネルの折り返しが少なくなる反面、上隣接チャンネルの折り返しが帯域内に入りやすくなります。

なお、XT 周波数を変更した場合はレジスタ hkfrq、cpld\_dt、affrq、jhkfrq および afcg の設定値を変更する必要があります。

### 6.5.2 57MHz IF (XT=20MHz) モード設定

57MHz IF (XT=20MHz) モードは、57MHz IF を 3XT の周波数でアンダーサンプリングします。AD サンプル周波数が低くなり上下隣接チャンネルが帯域内に折り返すので、入力 IF 信号の帯域外成分を十分に抑圧するようにしてください。端子 XSEL1="0" と XSEL0="1" を設定すると、規準クロック周波数 XT=20.500MHz に合わせて下記のレジスタが自動的に設定されます。

• iexdiv=	"08h" (8)	: PLL 分周比 (規準クロック側)
• ilpdiv=	"20h" (32)	: PLL 分周比 (VCO 側)
• hkfrq=	"42E0h" (17,120)	: OFDM クロック周波数オフセット補正
• cpld_dt=	"0E0Dh" (3,597)	: OFDM キャリア周波数オフセット補正
• affrq=	"0D4h" (212)	: OFDM キャリア AFC ループ利得補正
• lpfsf=	"2h"	: OFDM デジタルフィルタ
• f_inv=	"0"	: OFDM 周波数極性
• jhkfrq=	"6BB0h" (27,568)	: PSK クロック周波数オフセット補正
• afcg=	"4Ch" (76)	: PSK キャリア AFC ループ利得補正

もし規準クロック周波数 XT を 20.500MHz から変更する場合は、XT=20.467~20.750MHz の間で選択してください。なお、XT 周波数を変更した場合は、レジスタ hkfrq、cpld\_dt、affrq、jhkfrq および afcg の設定値を変更する必要があります。

### 6.5.3 4MHz IF (XT=4MHz) モード設定

4MHz IF モードは、4MHz IF を MD/4 でサンプリングします。端子 XSEL1="1" と XSEL0="0" を設定すると、規準クロック周波数 XT=4.000MHz に合わせて下記のレジスタが自動的に設定されます。

• iexdiv=	"02h" (2)	: PLL 分周比 (規準クロック側)
• ilpdiv=	"27h" (39)	: PLL 分周比 (VCO 側)



- ・ hkfrq= "3320h" (13,088) : OFDM クロック周波数オフセット補正
- ・ cpld\_dt= "0D56h" (3,414) : OFDM キャリア周波数オフセット補正
- ・ affrq= "0AAh" (170) : OFDM キャリア AFC ループ利得補正
- ・ lpfsl= "0h" : OFDM デジタルフィルタ
- ・ f\_inv= "0" : OFDM 周波数極性
- ・ jhkfrq= "59F2h" (23,026) : PSK クロック周波数オフセット補正
- ・ afcg= "50h" (80) : PSK キャリア AFC ループ利得補正

#### 6.5.4 4MHz IF (XT=27MHz) モード設定

4MHz IF で標準クロック周波数 XT=27.000MHz とする場合、端子 XSEL1="0", XSEL0="0"を設定し、さらに下記のレジスタを設定してください。サンプリング周波数は MD/4 です。

- ・ hkfrq= "3EF0h" (16,112) : OFDM クロック周波数オフセット補正
- ・ cpld\_dt= "0CD8h" (3,288) : OFDM キャリア周波数オフセット補正
- ・ affrq= "0CAh" (202) : OFDM キャリア AFC ループ利得補正
- ・ lpfsl= "0h" : OFDM デジタルフィルタ
- ・ f\_inv= "0" : OFDM 周波数極性
- ・ jhkfrq= "6740h" (26,432) : PSK クロック周波数オフセット補正
- ・ afcg= "4Dh" (77) : PSK キャリア AFC ループ利得補正

なお、下記レジスタは端子 XSEL1="0", XSEL0="0"で自動的に設定されます。

- ・ iexdiv= "0Bh" (11) : PLL 分周比 (標準クロック側)
- ・ ilpdiv= "21h" (33) : PLL 分周比 (VCO 側)

#### 6.5.5 IQベースバンド (XT=4MHz) モード設定

IQ ベースバンドモードは IQ ベースバンド信号を MD/4 でサンプリングします。端子 XSEL1="1"と XSEL0="1"を設定すると、標準クロック周波数 XT=4.000MHz に合わせて **下記のレジスタが自動的に設定されます。**

- ・ iexdiv= "02h" (2) : PLL 分周比 (標準クロック側)
- ・ ilpdiv= "27h" (39) : PLL 分周比 (VCO 側)
- ・ hkfrq= "3320h" (13,088) : OFDM クロック周波数オフセット補正
- ・ cpld\_dt= "0000h" (0) : OFDM キャリア周波数オフセット補正
- ・ affrq= "0AAh" (170) : OFDM キャリア AFC ループ利得補正
- ・ lpfsl= "0h" : OFDM デジタルフィルタ
- ・ f\_inv= "0" : OFDM 周波数極性
- ・ jhkfrq= "59F2h" (23,026) : PSK クロック周波数オフセット補正
- ・ afcg= "50h" (80) : PSK キャリア AFC ループ利得補正

#### OFDM レジスタマップ

名称	アドレス (HEX)	データ	R/W	初期値	内容
ilpdiv [5:0]	11	[5:0]	W	XSEL	クロック分周比(PLL 側)設定 分周比 n=1~63
iexdiv [4:0]	12	[4:0]	W	XSEL	クロック分周比(外部側)設定 分周比 m=1~ <b>31</b>

※初期値 XSEL は端子 XSEL1 と XSEL0 の設定で決定されます。

※レジスタ hkfrq、cpld\_dt、affrq、jhkfrq および afcg の設定値を変更する必要があります。詳細は 8.4 節、8.6 節、9.5 節および 9.8 節をご参照ください。

## 6.6 AGC出力

AGC 出力はパルスの粗密によって直流的な制御信号を発生します。パルス振幅はほぼ GND から I/O 電源電圧までとなるので、全パルス振幅が"H"であれば VDD5 の直流電圧が発生され、全パルス振幅が"L"であればほぼ GND 電位となります。

OFDM 用の AGC 出力としては、RF\_AGC と IF\_AGC 用が独立に用意されていますが、IF 単一の AGC 制御として使用することも可能です。

なお、出力の H レベルは 3.3V であり、5V へのプルアップはできません。

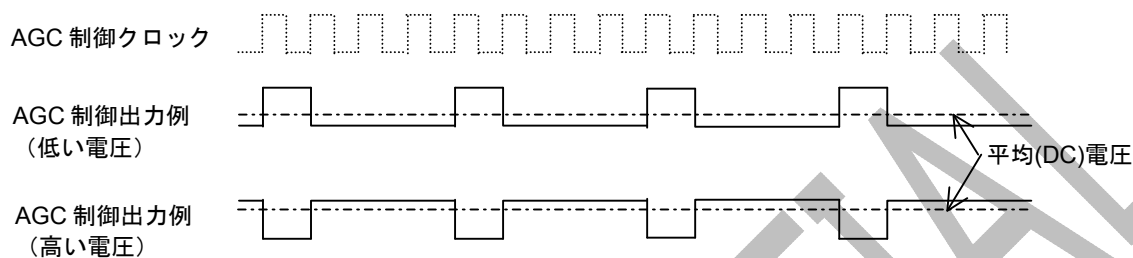


図 6.8 AGC 出力波形

AGC 出力形式は、図 6.9 のように"H"と"L"を拡散した 1bit DAC 形式です。PWM 制御周波数の高調波成分が高い周波数に拡散されるので、外付け LPF フィルタでの抑圧が容易になります。

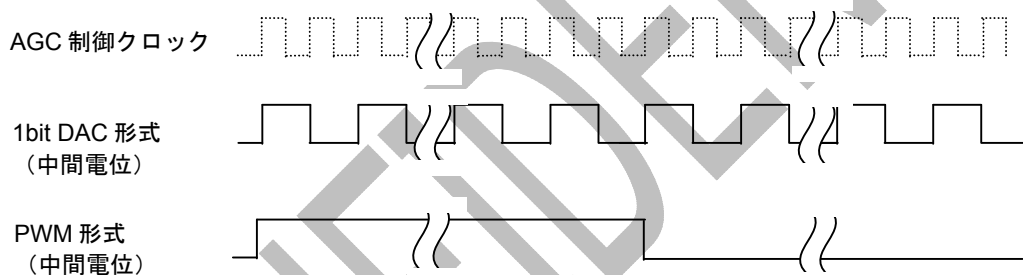


図 6.9 1bit DAC 形式の AGC 出力波形

AGC 出力はデジタル出力ですが、チューナ AGC 制御入力端子に供給されるときにはアナログ信号として扱われますのでデジタル雑音の混入に注意してください。なお、AGC 出力端子の直近に 10~20k $\Omega$  程度の抵抗をシリーズに挿入するとスプリアス低減に効果が得られる場合があります。この抵抗は LPF フィルタの一部と見なすことができます。

## 6.7 出力制御

TC90512 の特定の出力端子は、以下のとおり A 系統、B 系統、C 系統および D 系統にグループ分けされており、それぞれに出力信号系統を設定できます。

表 6-2 出力制御可能な端子系統

端子系統	端子番号									
	[9]	[8]	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
A 系統端子	H15	H14	D15	D14	E15	E14	F15	F12	G15	G14
B 系統端子	A9	B9	A10	B10	A11	B11	A12	B12	A13	B13
C 系統端子	A4	B4	A5	B5	A6	B6	A7	B7	A8	B8
D 系統端子	G1	G2	C1	C2	D1	D2	E1	E2	F1	F2

設定できる信号系統のグループは下記のとおりです。

表 6-3 出力制御可能な信号系統

信号系統	信号名									
	[9]	[8]	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
OFDM パラレル	RLOCK	RERR	RSOUT 7	RSOUT 6	RSOUT 5	RSOUT 4	RSOUT 3	RSOUT 2	RSOUT 1	RSOUT 0
OFDM シリアル	SRCK	SRDT	RSCKO	SBYTE	PBVAL	RSEORF	STSFLG 1	STSFLG 0	FLOCK	SLPEN
PSK シリアル	JSRCK	JSRDT	JRSCKO	JSBYTE	JPBVAL	JRSEORF	JSTSFLG 1	JSTSFLG 0	JLOCK	JPORT
PSK パラレル	JRLOCK H	JRLOCK L	JRSOUT 7	JRSOUT 6	JRSOUT 5	JRSOUT 4	JRSOUT 3	JRSOUT 2	JRSOUT 1	JRSOUT 0

デフォルトでは、

- A 系統端子：OFDM パラレル (TS) 信号
- B 系統端子：OFDM シリアル (TS) 信号
- C 系統端子：PSK シリアル (TS) 信号
- D 系統端子：PSK パラレル (TS) 信号

が割当てられています。所定のレジスタを設定することで、これらの割当てを変更できます。レジスタについては 8.3 節および 9.4 節を参照してください。

また、PSK および OFDM それぞれのレジスタ（アドレス 1Ch, 1Dh, 1Eh, 1Fh）により、PSK 信号系統と OFDM 信号系統の出力イネーブル／ディセーブル（"High-Z"またはプルダウン、端子により異なる。）の初期状態を切り替えることができます。JOEN および OEN が"0"のとき初期状態イネーブルで、"1"のとき初期状態ディセーブルとなります。JOEN および OEN 端子の設定は端子 SYRSTN が"0"で IC 内部に取り込まれ、"0"から"1"に変化するときに確定します。（OEN 設定はレジスタ isyrst 設定時にも取り込まれ、JOEN 設定も同様です。）

- ※ OEN および JOEN は端子系統に対応した出力制御ではなく、信号系統に対応したレジスタ設定初期値です。すなわち、端子 OEN 設定は A 系統、B 系統端子の出力制御ではなく、OFDM パラレルおよび OFDM シリアル信号系統の出力イネーブル／ディセーブル制御初期値です。これらの信号系統の端子割当てを変更した場合でも OEN で初期化された出力イネーブル／ディセーブル設定は OFDM 信号系統に連動します。同様に、端子 JOEN で初期化された出力イネーブル／ディセーブル設定も PSK 信号系統に連動します。

パワーオンリセット直後の各信号系統の初期的な出力状態は上記 OEN および JOEN で設定されますが、各信号に対応する出力イネーブル用レジスタを設定することにより、イネーブル／"High-Z"またはプルダウン／"0"固定／"1"固定の状態を変更できます。レジスタについては 8.3 節および 9.4 節を参照してください。

## OFDM レジスタマップ

名称	アドレス (HEX)	データ	R/W	初期値	内容
pinsld [1:0]	0F	[7:6]	W	0x3	D 系統端子の出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinslc [1:0]	0F	[5:4]	W	0x3	C 系統端子の出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinslb [1:0]	0F	[3:2]	W	0x1	B 系統端子の出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinsla [1:0]	0F	[1:0]	W	0x0	A 系統端子の出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力

## 7. パワーオンリセット

TC90512 は電源投入時にクロック分周およびレジスタ初期化のためリセット信号 (SYRSTN) を入力する必要があります。また、XSEL1、XSEL0、SLADRS1~0 および OEN と JOEN の各端子の設定は、端子 SYRSTN が "0" のときに IC 内部に取り込まれ、"0" から "1" で確定されます。

パワーオンリセットは端子 SYRSTN を "0" の状態で電源投入し、内蔵 PLL クロック発振が安定した後で "1" にします。PLL 安定と I<sup>2</sup>C 回路を初期化するために、すべての電源が最小規定電圧以上になった後で最小 10ms の "0" 期間が必要です。

I<sup>2</sup>C 通信はリセット信号が規定の "1" レベルになってから、最小で 1μs 後に開始するようにしてください。

なお、TC90512 の複数の電源投入遮断は同時 (100ms 以内) に行ってください。順序の規定はありません。

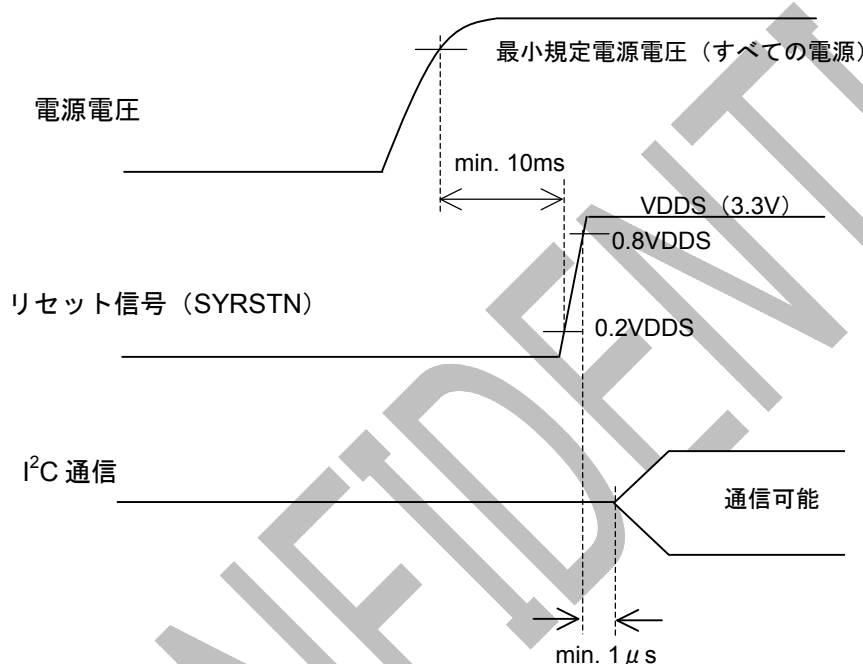


図 7.1 パワーオンリセットのタイミング

レジスタでのリセット isyrst は I<sup>2</sup>C を含めたシステム全体の初期化を行ないます。isyrst=1 でリセットをかけた後は約 4μs で自動的に "0" に戻されるのでリセット停止のために isyrst に "0" を再設定する必要はありません。ただし、回路が完全に初期化されるのを待つために I<sup>2</sup>C を一旦停止 (ストップコンディション発行) 状態にしてから次の通信を開始してください。

なお、リセット以前の端子および内部状態は規定できません。クロック PLL 発振周波数も規定されないため消費電流が多く流れる場合があります。このため、必ず電源投入時にパワーオンリセットを規定のタイミングで行うようにしてください。

**【重要】** 複数電源投入・遮断は同時とし、電源投入時に必ずパワーオンリセットを行うようにしてください。

## 8. 衛星デジタル (PSK) 復調機能

### 8.1 リセット

TC90512 の PSK 復調回路は、

- 1) PSK 復調回路全体を初期化する PSK システムリセット (psksyrst)
  - 2) 復調同期シーケンスを初期化する PSK 復調リセット (pskmsrst)
- の 2 つのリセットを持っています。

PSK 復調部の全レジスタの初期化は psksyrst= "1"で行ないます。(電源投入時のパワーオンリセット SYRSTN に加え、psksyrst= "1"も必要です。) なお、レジスタ設定は上記パワーオンリセット完了後、1 $\mu$ s 以降に行ってください。また、psksyrst= "1"は他の PSK レジスタ設定の前に最初に行うようにしてください。

**【重要】** PSK 部のレジスタ設定を行う前に必ず psksyrst= "1"を設定してください。

上記のシステムリセットおよびレジスタ初期設定以降は、選局時に PSK 復調リセット pskmsrst だけを行えば良く、他のレジスタの設定は必要ありません。

これらのリセットは設定した後に約 4 $\mu$ s で自動的に"0"に戻るのでリセット停止のために"0"を設定する必要はありません。また、I<sup>2</sup>C 通信に関して、次の通信までにリセット処理は完了するので、特に待ち時間は必要ありません。

**【重要】** 電源投入後、**PSK 復調機能は初期状態で動作**しています。BS 受信を停止して消費電力を削減したい場合は PSK 復調のスタンバイ機能を使用してください。(8.2 節を参照)

名称	アドレス (HEX)	データ	R/W	初期値	内容
psksyrst	01	[7]	W	0x0	PSK システムリセット PSK 復調回路の全レジスタを初期化します。 0: リセットしない 1: リセットする
pskmsrst	03	[0]	W	0x0	PSK 復調リセット PSK 復調同期回路を初期化します。 0: リセットしない 1: リセットする

## 8.2 スタンバイ機能

PSK 復調回路の  $I^2C$  制御以外へのクロック供給を停止（スリープ状態）して消費電力を削減します。また、復調動作（ウェイクアップ状態）を間欠的に行うことで、消費電力を抑えつつ TMCC で伝送される緊急警報放送用起動制御信号を監視することもできます。スタンバイでは下記の 3 つのモードを選択することができます。

- (1) 常にスリープ状態として消費電力を削減
- (2) 間欠的にウェイクアップし緊急警報放送用起動制御信号を監視
- (3) 間欠的にウェイクアップし緊急警報放送用起動制御信号を監視し、さらに起動制御信号が検出されている間はスリープ状態を自動的に解除

いずれの場合もレジスタ `jslpadc="1"` とするとスリープ状態で AD 変換回路もパワーダウンとなり、さらに低消費電力にすることができます。

### 8.2.1 常時スリープ

(1)のモードとするにはスリープ期間設定レジスタ `watim` に"0"以外の値を設定し、さらにウェイクアップ期間設定レジスタ `tetim` に"0"を設定します。

### 8.2.2 起動制御信号の監視（起動制御なし）

(2)のモードとするには `jslpmc = "0"` とし、`watim` と `tetim` の両方に"0"以外の値を設定します。スリープ状態とウェイクアップ状態が交互に繰り返され、起動制御信号を検知してもスリープ状態とウェイクアップ状態を繰り返します。起動制御信号はレジスタ `emgcy` でモニタでき、端子 JSTSFLG0 にも出力されます。（詳細は 8.3.4 節参照してください。）

表 8.1 PSK 復調のスタンバイ動作設定（起動制御なし）

<code>jslpmc = "0"</code>		ウェイクアップ時間	
		<code>tetim = "0"</code>	<code>tetim ≠ "0"</code>
スリープ時間	<code>watim = "0"</code>	常時ウェイクアップ	常時ウェイクアップ
	<code>watim ≠ "0"</code>	常時スリープ	スリープとウェイクアップを交互に繰り返す

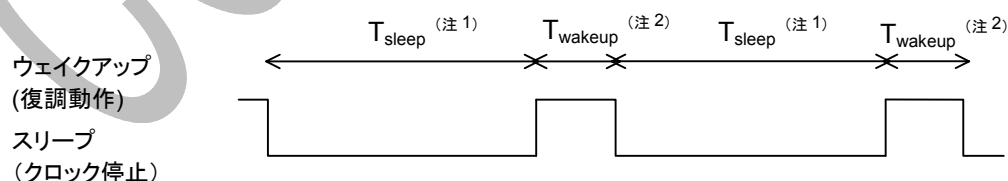


図 8.1 起動制御なしのスタンバイ動作

注1) スリープ期間  $T_{sleep}$  は `watim` 設定値  $\times 0.58 + 0.3$  [s] です。スリープさせるとき `watim` は 1～255 を設定可能で、 $0.9s \leq T_{sleep} \leq 148s$  となります。

注2) ウェイクアップ期間  $T_{wakeup}$  は `tetim` 設定値  $\times 0.58 + 0.3$  [s] です。ウェイクアップさせるとき `tetim` は 1～31 を設定可能で、 $0.9s \leq T_{wakeup} \leq 18s$  となります。

## 8.2.3 起動制御信号の監視（起動制御あり）

(3)のモードとするには `jslpmd="1"` とし、`watim` と `tetim` の両方に"0"以外の値を設定します。緊急警報放送用起動制御信号が検出されている間はウェイクアップ状態が継続され、起動制御信号が検知されなくなるとスリープとウェイクアップを交互に繰り返す動作に戻ります。スリープとウェイクアップ期間設定レジスタとそれらの設定方法は起動制御なしの場合と同じです。

なお、レジスタ `emgmsk="1"` を設定すると、選択された TS のいずれかの階層にエラーがないと判定された場合(`rlockl="1"` または `rlockh="1"`)にのみ起動制御信号検知で復調動作を行うようにすることもできます。エラーの判定については 8.9.9 節を参照してください。

表 8.2 PSK 復調のスタンバイ動作設定（起動制御あり）

<code>jslpmd="1"</code>		ウェイクアップ時間	
		<code>tetim="0"</code>	<code>tetim≠"0"</code>
スリープ時間	<code>watim="0"</code>	常時ウェイクアップ	常時ウェイクアップ
	<code>watim≠"0"</code>	常時スリープ	スリープとウェイクアップを交互に繰り返し、起動制御信号検出期間中はウェイクアップ継続

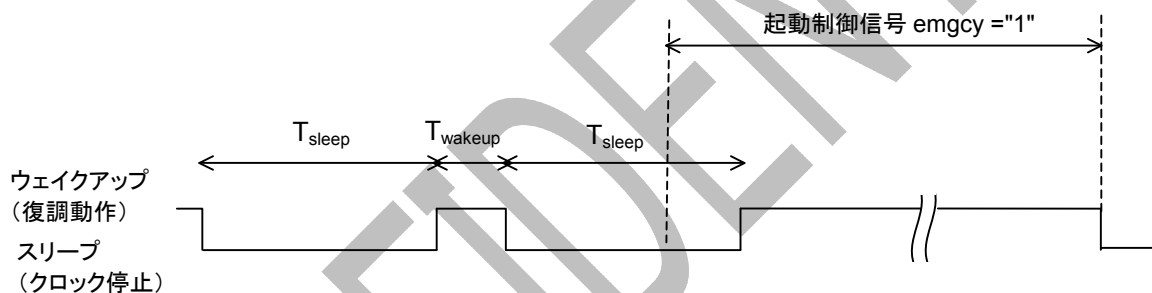


図 8.2 起動制御ありのスタンバイ動作

## 8.2.4 LNB電源制御

レジスタ `atpt="1"` とすることで JPORT 端子に LNB (Low Noise Block-down-converter) 電源制御信号をスタンバイ動作に連動させて出力することができます。LNB 電源制御信号はスリープ状態で"0"、ウェイクアップ状態で"1"となる信号です。

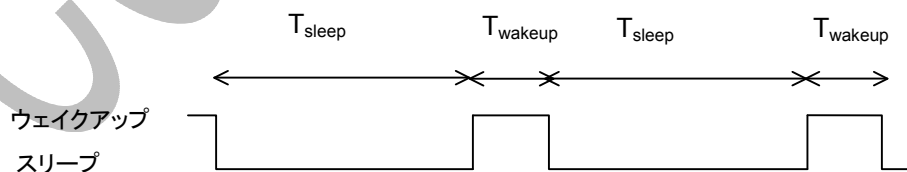


図 8.3 LNB 電源制御の連動



名称	アドレス (HEX)	データ	R/W	初期値	内容
emgmsk	04	[4]	W	0x0	起動制御ありでのウェイクアップ条件設定 0: 起動制御信号検知(emgcy="1")で常に復調動作に復帰 1: 起動制御信号検知(emgcy="1")で選択 TS がエラーなし (rlocki="1"または rlockh="1")のときのみ復調動作に復帰 ※JSTSFLG0 端子も上記に連動します。
jslpadc	13	[7]	W	0x0	ADC パワーダウン設定 0: スリープ時に ADC パワーダウンしない 1: スリープ時に ADC パワーダウンする
atpt	13	[6]	W	0x0	LNB 電源制御設定 (Wakeup に JPORT 出力連動) (bpot_en 設定が優先されます。) 0: jport の設定 (0:Low 1:High-Z) を出力 1: Tsleep 期間は"0"、その他の期間は"1"
jslpmd	13	[5]	W	0x0	起動制御信号検出での動作設定 0: 起動制御信号 emgcy="1"で復調動作に復帰しない 1: 起動制御信号 emgcy="1"で復調動作に復帰する
tetim [4:0]	15	[4:0]	W	0x00	ウェイクアップ時間設定 約 0.6 秒単位で設定できます 0: 復調しない (同時に watim="0"のときは復調する) 1~31: ウェイクアップ時間 $T_{\text{wakeup}} = \text{tetim 設定値} \times 0.58 + 0.3 \text{ [s]}$ ( $0.9\text{s} \leq T_{\text{wakeup}} \leq 18\text{s}$ )
watim [7:0]	17	[7:0]	W	0x00	スリープ時間設定 約 0.6 秒単位で設定できます 0: 常に復調する 1~31: スリープ時間 $T_{\text{sleep}} = \text{watim 設定値} \times 0.58 + 0.3 \text{ [s]}$ ( $0.9\text{s} \leq T_{\text{sleep}} \leq 148\text{s}$ )

### 8.3 入出力設定

#### 8.3.1 入力設定

ADC は差動またはシングルエンド入力です。バイアス抵抗が内蔵されているので AC 結合で信号入力します。シングルエンド入力とする場合は、使用しない入力端子は AC 的にアナログ GND に接地してください。なお、レジスタ iqch で I,Q 信号を入れ替えることができます。

#### 8.3.2 出力端子の切替

特定の出力端子は以下のとおり A 系統、B 系統、C 系統および D 系統端子の 4 つにグループ分けされており、それぞれ個別に出力信号を割り当てることができます。（6.7 節を参照してください。）

端子系統	端子番号									
	[9]	[8]	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
A 系統端子	H15	H14	D15	D14	E15	E14	F15	F12	G15	G14
B 系統端子	A9	B9	A10	B10	A11	B11	A12	B12	A13	B13
C 系統端子	A4	B4	A5	B5	A6	B6	A7	B7	A8	B8
D 系統端子	G1	G2	C1	C2	D1	D2	E1	E2	F1	F2

信号系統	信号名	機能
PSK (TS パラレル)	JRLOCKH	高階層エラーフリーフラグ
	JRLOCKL	低階層エラーフリーフラグ
	JRSOUT7	TS パラレルデータ 7 出力
	JRSOUT6	TS パラレルデータ 6 出力
	JRSOUT5	TS パラレルデータ 5 出力
	JRSOUT4	TS パラレルデータ 4 出力
	JRSOUT3	TS パラレルデータ 3 出力
	JRSOUT2	TS パラレルデータ 2 出力
	JRSOUT1	TS パラレルデータ 1 出力
	JRSOUT0	TS パラレルデータ 0 出力
PSK (TS シリアルと同期)	JSRCK	TS シリアルクロック出力
	JSRDT	TS シリアルデータ出力
	JRSCKO	TS バイトクロック出力
	JSBYTE	TS 同期バイトフラグ出力
	JPBVAL	TS (パケット) バリッドフラグ出力
	JRSEORF	RS 復号エラー (パケット) フラグ出力
	JSTSFLG1	ステータスレジスタ出力 1
	JSTSFLG0	ステータスレジスタ出力 0 (緊急警報放送用起動フラグ専用)
	JLOCK	スーパーフレーム同期フラグ
	JPORT	汎用ポート出力 (または LNB 電源制御出力)

デフォルトでは、

C 系統端子に PSK(TS)シリアル信号

D 系統端子に PSK(TS)パラレル信号

が割り当てられています。(A 系統端子は OFDM(TS)パラレル信号、B 系統は OFDM(TS)シリアル信号が割り当てられています。)

PSK 信号をデフォルト設定以外の端子に割り当てするには 2 段階の設定が必要です。

まず OFDM 側のレジスタ pinsla、pinslb、pinslc、pinsld で PSK 信号系統を選択 ("3"設定) し、さらに PSK 側の信号系統選択レジスタ jtsla、jtslb、jtslc、jtsld で PSK シリアルか PSK パラレルを選択することで変更できます。

このとき、pinsla、pinslb、pinslc、pinsld はそれぞれ端子系統 A、B、C、D に対応しており、同様に jtsla、jtslb、jtslc、jtsld もそれぞれ端子系統 A、B、C、D に対応しています。設定したい端子系統のレジスタを用いるようにしてください。

### 8.3.3 出力信号のイネーブル制御

端子 JOEN により出力イネーブル／ディセーブル (High-Z またはプルダウン) の初期状態を切り替えることができます。JOEN="0"のときイネーブル、JOEN="1"のときディセーブルとなります。JOEN 端子の設定は SYRSTN が "0"のときに IC 内部に取り込まれ、"0"から "1"に変化するときに確定します。

さらに、各出力信号に対応するレジスタ (アドレス 1Ch、1Dh、1Eh および 1Fh) を設定することによりイネーブル／"High-Z" または"プルダウン"／"0"固定／"1"固定状態を個別に設定することが可能です。

- ※ 端子とその端子に出力される信号名は大文字で表していますが、出力端子切替を行った場合は端子と信号名が異なることになるので注意してください。例えば、デフォルトでは C 系統に PSK シリアル／同期信号が出力されるので JSTSFLG1 端子には JSTSFLG1 信号が出力されますが、他の端子系統に割当てを変更した場合は JSTSFLG1 以外の端子から JSTSFLG1 信号が出力されることになります。
- ※ JOEN 制御、レジスタによるイネーブルおよび極性反転設定は端子ではなく信号に対して行われます。端子の割当て変更を行ってもこれらを変更する必要はありません。
- ※ High-Z とプルダウンは端子ごとに規定されています。4 章の端子機能をご参照ください。

### 8.3.4 ステータスレジスタ

JSTSFLG1 および JSTSFLG0 信号にステータスレジスタ (アドレス C3h) と緊急警報放送用起動制御フラグ emgcy を出力できます。

#### (1) ステータスレジスタ 1

ステータスレジスタは下記のステータス情報 8 ビットの中からイネーブル設定レジスタ (アドレス 1Ah) で選択された信号の論理和です。JSTSFLG1 信号はステータスレジスタ 1 と同じフラグが出力されます。

inpnor:	入力信号レベルをモニタ (信号レベルが過小のとき"1")
unlock:	復調同期およびスーパーフレーム同期状態をモニタ (非同期のとき"1")
crslip:	キャリア再生サイクルスリップモニタ (サイクルスリップ発生時"1")
tmcerr:	TMCC 復号エラーモニタ (エラー発生時"1")
sdiver:	TMCC サイトダイバーシティ指示モニタ (指示ありのとき"1")
rlockl:	低階層 RS 復号エラーモニタ (復号エラーなしで"1"。ただし、階層なしでは"0")
tmcrev:	TMCC 拡張フラグモニタ (拡張フラグありのとき"1")
tmchg:	TMCC 変更フラグモニタ (変更フラグ 5 ビットに変化のあるとき"1")

JSTSFLG1 信号はレジスタ jstmd により "0"→"1"または "1"→"0"の変化点で "1"となるように出力形式を選択できます。なお、レジスタ jstmd に任意の値を再設定することにより JSTSFLG1 端子は "0"にリセットされます。

#### (2) ステータスレジスタ 0

JSTSFLG0 信号として緊急警報放送用起動フラグ信号 emgcy を出力できます。

emgcy: 緊急警報放送用起動制御信号フラグ (起動制御ありで"1")

なお、emgmsk="1"設定により、緊急警報放送用起動フラグを検知しても選択した TS のすべての階層でエラーがある (rlockl="0"かつ rlockh="0") ときは JSTSFLG0 を出力しないようにできます。スタンバイでの起動制御監視（起動制御あり）のときも同じです。（8.2.3 節を参照してください。）

JSTSFLG0 信号はレジスタ jstmdc により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ jstmdc に任意の値を再設定することにより JSTSFLG0 信号は"0"にリセットされます。

### 8.3.5 エラーフリーフラグ

JRLOCKH 信号として高階層 RS 訂正後エラーフリーフラグ を出力できます。また、JRLOCKL 信号として低階層 RS 訂正後エラーフリーフラグを出力できます。

JRLOCKL および JRLOCKH 信号はそれぞれレジスタ jstmda および jstmdb により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ jstmda および jstmdb に任意の値を再設定することにより JRLOCKL および JRLOCKH 信号は"0"にリセットされます。

### 8.3.6 スーパーフレーム同期フラグ

JLOCKL および JLOCKH 信号として ISDB-S 伝送におけるスーパーフレーム同期が検出されたことを示すフラグを出力できます。（このフラグは変化点の出力形式を選択することはできません。）

### 8.3.7 階層識別フラグ

レジスタ jhselout="1"で JRLOCKH と JRLOCKL 信号を下記の階層識別信号 JHSEL1 と JHSEL0 に切り替えることができます。JHSEL1 が上位ビット、JHSEL0 が下位ビットとして下記のように階層とヌルをパケットごとに識別できます。

レジスタ jhselout="1"での階層識別フラグ出力

JHSEL1 (JRLOCKH 端子)	JHSEL0 (JRLOCKL 端子)	階層識別内容
0	0	未使用
0	1	高階層パケット
1	0	低階層パケット
1	1	ヌルパケット（伝送ヌルパケットを除く）

### 8.3.8 LNB トーン制御出力

LNB (Low Noise Block down converter:低雑音ダウンコンバータ)制御用にトーン(Tone)信号出力が可能です。トーン信号は周波数 MD/1792 のデューティ比 50%パルス波です。例えば、MD=76.2MHz のときトーン周波数は 42.5kHz になります。

名称	アドレス (HEX)	データ	R/W	初期値	内容
iqch	06	[6]	W	0x0	IQ 入替選択 0: 入れ替えない 1: 入れ替える
bytesel	06	[3]	W	0x0	JSBYTE 出力切替 JSBYTE 端子からの同期出力を切り替えます。 0:TS パケット同期 1:フレーム同期
jhselout	06	[2]	W	0x0	JRLOKCH,JRLOCKL 端子切替 0:JRLOKCH,JRLOCKL 1:JHSEL1, JHSEL0
jtsld	07	[6]	W	0x1	PSK 系統信号出力選択 (PSK パラレル出力端子) 0:シリアル出力/同期 1:パラレル出力
jtslc	07	[4]	W	0x0	PSK 系統信号出力選択 (PSK シリアル出力端子) 0:シリアル出力/同期 1:パラレル出力

jtslb	07	[2]	W	0x0	PSK 系統信号出力選択 (OFDM シリアル出力端子) 0:シリアル出力/同期 1:パラレル
jtsla	07	[0]	W	0x1	PSK 系統信号出力選択 (OFDM パラレル出力端子) 0:シリアル出力/同期 1:パラレル
lnb	14	[6]	W	0x0	TONE 出力 (JLNB 端子) 設定 (blnb_en 設定が優先されます) 0: OFF ("0"固定) 1: ON
jport	14	[5]	W	0x0	出力ポート (JPORT 端子) 設定 0: "0" 固定 1: "1"固定 ※レジスタ atpt="1"とした場合、JPORT は port 設定が無効となりスタンバイ動作連動となります。
inpnone	1A	[7]	W	0x0	ステータスレジスタ 1 inpnon イネーブル 0:ディセーブル 1:イネーブル
unlocke	1A	[6]	W	0x0	ステータスレジスタ 1 unlock イネーブル 0:ディセーブル 1:イネーブル
crslipe	1A	[5]	W	0x0	ステータスレジスタ 1 crslip イネーブル 0:ディセーブル 1:イネーブル
tmcerre	1A	[4]	W	0x0	ステータスレジスタ 1 tmcerr イネーブル 0:ディセーブル 1:イネーブル
sdivvee	1A	[3]	W	0x0	ステータスレジスタ 1 sdivve イネーブル 0:ディセーブル 1:イネーブル
rlockle	1A	[2]	W	0x0	ステータスレジスタ 1 rlockl イネーブル 0:ディセーブル 1:イネーブル
tmcreve	1A	[1]	W	0x0	ステータスレジスタ 1 tmcrev イネーブル 0:ディセーブル 1:イネーブル
tmchge	1A	[0]	W	0x0	ステータスレジスタ 1 tmchg イネーブル 0:ディセーブル 1:イネーブル
inpnoneiv	1B	[7]	W	0x0	ステータスレジスタ 1 inpnon 極性反転 0:非反転 1:反転
unlockeiv	1B	[6]	W	0x0	ステータスレジスタ 1 unlock 極性反転 0:非反転 1:反転
crslipeiv	1B	[5]	W	0x0	ステータスレジスタ 1 crslip 極性反転 0:非反転 1:反転
tmcerreiv	1B	[4]	W	0x0	ステータスレジスタ 1 tmcerr 極性反転 0:非反転 1:反転
sdivveiv	1B	[3]	W	0x0	ステータスレジスタ 1 sdivve 極性反転 0:非反転 1:反転
rlockleiv	1B	[2]	W	0x0	ステータスレジスタ 1 rlockl 極性反転 0:非反転 1:反転
tmcreveiv	1B	[1]	W	0x0	ステータスレジスタ 1 tmcrev 極性反転 0:非反転 1:反転
tmchgeiv	1B	[0]	W	0x0	ステータスレジスタ 1 tmchg 極性反転 0:非反転 1:反転
bpbv_en [1:0]	1C	[7:6]	W	JOEN	JPBVAL 信号の 出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
brse_en [1:0]	1C	[5:4]	W	JOEN	JRSEORF 信号の 出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定

bstf1_en [1:0]	1C	[3:2]	W	JOEN	JSTSFLG1 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
bstf0_en [1:0]	1C	[1:0]	W	JOEN	JSTSFLG0 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
bstat_en [1:0]	1D	[7:6]	W	JOEN	JRLOCKH 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
block_en [1:0]	1D	[5:4]	W	JOEN	JLOCK 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": High-Z 2:"0"固定 3:"1"固定
bstatl_en [1:0]	1D	[3:2]	W	JOEN	JRLOCKL 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
brso_en [1:0]	1D	[1:0]	W	JOEN	JRSOUT7~JRSOUT0 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
bpot_en [1:0]	1E	[5:4]	W	JOEN	JPORT 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
bagc_en [1:0]	1E	[3:2]	W	JOEN	JAGCCNT 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
blnb_en [1:0]	1F	[7:6]	W	JOEN	JLNB 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
bsrf_en [1:0]	1F	[5:4]	W	JOEN	JSRCK、JSRDT 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
brsck_en [1:0]	1F	[3:2]	W	JOEN	JRSCKO 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定



bsby_en [1:0]	1F	[1:0]	W	JOEN	JSBYTE 信号の出力制御 0 または JOEN="0": イネーブル 1 または JOEN="1": ディセーブル (High-Z) 2:"0"固定 3:"1"固定
jstmdc [1:0]	20	[7:6]	W	0x0	JSTSFLG1 信号出力モード設定 0: 通常のフラグ (条件発生で"1") 1: "0"から"1"の変化点で"1"出力 2: "1"から 0 の変化点で"1"出力 3: いずれの変化点でも"1"出力 (0 以外の書き込みでフラグがリセットされます)
jstmdc [1:0]	20	[5:4]	W	0x0	JSTSFLG0 信号出力モード 0: 通常のフラグ (条件発生で"1") 1: "0"から"1"の変化点で"1"出力 2: "1"から 0 の変化点で"1"出力 3: いずれの変化点でも"1"出力 (0 以外の書き込みでフラグがリセットされます)
jstmdb [1:0]	20	[3:2]	W	0x0	JRLOCKH 信号出力モード 0: 通常のフラグ (条件発生で"1") 1: "0"から"1"の変化点で"1"出力 2: "1"から 0 の変化点で"1"出力 3: いずれの変化点でも"1"出力 (0 以外の書き込みでフラグがリセットされます)
jstmda [1:0]	20	[1:0]	W	0x0	JRLOCKL 信号出力モード 0: 通常のフラグ (条件発生で"1") 1: "0"から"1"の変化点で"1"出力 2: "1"から 0 の変化点で"1"出力 3: いずれの変化点でも"1"出力 (0 以外の書き込みでフラグがリセットされます)
inpnnon	C3	[7]	R	0xX	ステータスレジスタ 1 のフラグ inpnnon 入力信号の有無をモニタするフラグ 0:入力信号レベル正常 1:入力信号レベルが過小のとき
unlock	C3	[6]	R	0xX	ステータスレジスタ 1 のフラグ unlock 0:同期正常 1:復調およびフレーム同期外れ
crslip	C3	[5]	R	0xX	ステータスレジスタ 1 のフラグ crslip 0:キャリア再生サイクルスリップなし 1:キャリア再生サイクルスリップ発生
tmcerr	C3	[4]	R	0xX	ステータスレジスタ 1 のフラグ tmcerr 0:TMCC 復号エラーなし 1:TMCC 復号エラーあり
sdivc	C3	[3]	R	0xX	ステータスレジスタ 1 のフラグ sdivc 0:TMCC サイトダイバーシチ切替なし 1:TMCC サイトダイバーシチ切替中
emgcy	C3	[2]	R	0xX	ステータスレジスタ 0 のフラグ emgcy 0:TMCC 緊急警報放送用起動フラグなし 1:TMCC 緊急警報放送用起動フラグあり
tmcrev	C3	[1]	R	0xX	ステータスレジスタ 1 のフラグ tmcrev 0:TMCC 拡張フラグなし 1: TMCC 拡張フラグあり
tmchg	C3	[0]	R	0xX	ステータスレジスタ 1 のフラグ tmchg 0:TMCC 変更指示フラグに変化なし 1: TMCC 変更指示フラグに変化あり
pm1d	C5	[7:3]	R	0xX	TMCC 変更指示情報モニタ TMCC 変更指示 5bit は TMCC 情報に変更あるたびに 1 ずつ加算され、"11111"の次は"00000"に戻る
rlockh	C5	[1]	R	0xX	高階層 RLOCK モニタ 0: RS 復号エラーあり 1: RS 復号エラーなし

rlockl	C5	[0]	R	0xX	低階層 RLOCK モニタ 0: RS 復号エラーあり 1: RS 復号エラーなし (階層が存在しない場合も"0")
--------	----	-----	---	-----	--

※ JOEN : パワーオンリセット時およびレジスタ **isyrst** 設定時の JOEN 端子設定で決定されます。

## 8.4 クロック再生

PSK シンボルタイミングに同期した I,Q 信号をリサンプリングします。

### 8.4.1 クロック周波数オフセット補正

マスタクロック周波数 MD と PSK シンボルレート JFS から次式で求めた値を jhkfrq を設定します。

$$\text{jhkfrq} = ((\text{MD} / \text{JFS}) - 2) \times 2^{15} \quad (\text{式 8-4-1})$$

計算例 : マスタクロック周波数 MD=76.2 [MHz]、BS の 8PSK シンボルレート JFS=28.86 [MHz]

$$\begin{aligned} \text{jhkfrq}[15:0] &= (76.2 / 28.86 - 2) \times 2^{15} \\ &\approx 20,982 \text{ (51F6h)} \end{aligned}$$

### 8.4.2 クロック周波数誤差モニタ

レジスタ clkfrq からクロック周波数誤差が次式で得られます。clkfrq は 8 ビットの 2 の補数表現です。

$$\text{クロック周波数誤差[ppm]} = \text{clkfrq} \times \text{JFS[MHz]} / \text{MD} \times 7.63 \quad (\text{式 8-4-2})$$

計算例 : clkfrq[7:0]=14h(+20dec)、BS の 8PSK シンボルレート JFS=28.86 [MHz]、マスタクロック周波数 MD=76.2 [MHz]

$$\begin{aligned} \text{クロック周波数誤差} &= (+20) \times 28.86 / 76.2 \times 7.63 \\ &= +58 \text{ [ppm]} \end{aligned}$$

名称	アドレス (HEX)	データ	R/W	初期値	内容
jhkfrq [15:8]	0C	[7:0]	W	XSEL	クロック再生オフセット周波数設定 $\text{hkfrq} = ((\text{MD} / \text{JFS}) - 2) \times 2^{15}$  0400h ~ FBFFh の範囲で設定しますが、基本的な周波数設定の場合は XSEL1、XSEL0 で自動設定されます。
jhkfrq [7:0]	0D	[7:0]	W	XSEL	
clkfrq [7:0]	BE	[7:0]	R	0xXX	クロック周波数誤差モニタ 2 の補数表現。次式でクロック周波数誤差を計算できます。 $\text{周波数誤差[ppm]} = \text{clkfrq} \times \text{JFS[MHz]} / \text{MD[MHz]} \times 7.63$ JFS (シンボルレート) = 28.86 [MHz]

※XSEL : XSEL による自動設定については、6.5 節および 10 章を参照してください。



## 8.5 AGC

## (1) DAC 動作クロック周波数設定

チューナの AGC 制御出力は振幅分解能 12 ビット相当の 1 ビット DAC 形式です。

DAC 動作クロック周波数をレジスタ aagpcw[1:0]で設定することができます。DAC 動作クロック周波数が大きいほどパルスの高調波周波数が高くなるので簡易な LPF を用いることができます。ただし、高調波によるスプリアスにご注意ください。IC を実装する際には AGC 制御出力端子の直近にシリーズ抵抗(10~20kΩ)を挿入するようにしてください。

表 8.1 DAC 動作クロック周波数の設定

aagpcw[1:0]	DAC 動作クロック 周波数[MHz]
0	MD/32
1	MD/16
2	MD/8
3	MD/4

MD : マスタクロック周波数[MHz]

## (2) 適応入力レベル制御

TC90512 の PSK 復調 AGC 制御は入力信号の雑音振幅に応じて適応的な制御を行います。レジスタ acolvl は低 C/N 特性改善のため、AGC 誤差コアリング処理の閾値を設定します。

## (3) AGC 制御特性の補正

TC90512 はチューナ AGC 制御感度の非線形を近似的に補正するように、制御出力特性を aggthr を変換点にして 2 つの利得 (aagcdv と  $aagcdv \times aggsft$ ) を切り替えることができます。これらが AGC 制御感度の非線形特性を近似したものであれば、総合の利得であるループ利得をほぼ一定にすることができます。aggthr は利得切替点を設定するレジスタで、AGC 制御信号フルレンジを 16 レベルとして設定します。aagcdv は通常の制御利得を設定するレジスタで、8 段階の設定ができます。切替点以降の利得は  $aagcdv \times aggsft$  であり、aggsft は 4 段階 ( $\times 8, \times 4, \times 2, \times 1$ ) の設定ができます。

なお、レジスタ agcgn も通常の制御利得調整に用いることができます。aagcdv が利得を 2 のべき乗で大きくするのに対し、agcgn は逆に 2 のべき乗で小さくします。これらの総合利得が aggthr 利得切替点以下のときの利得になります。

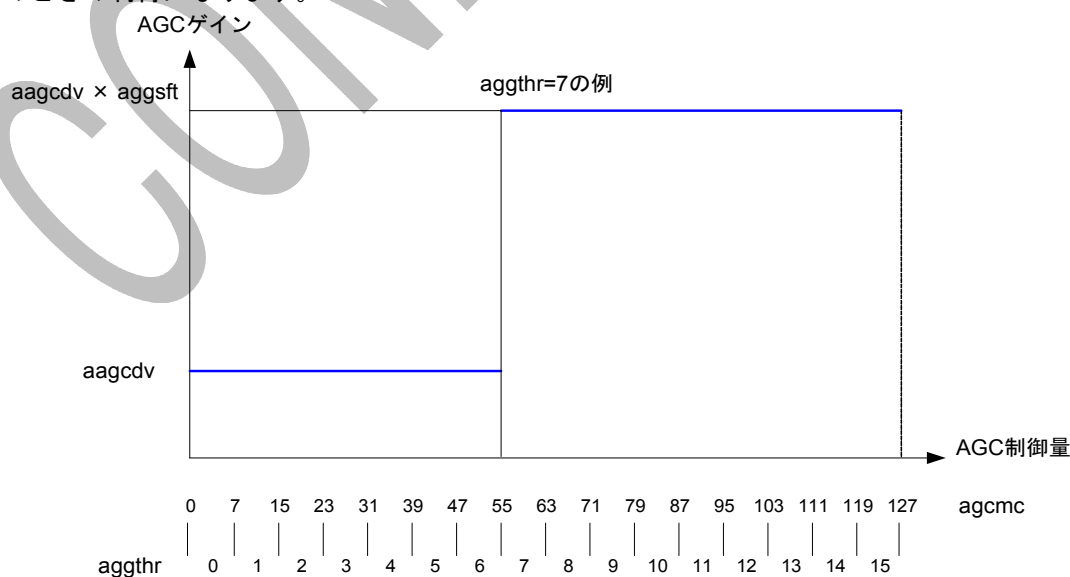


図 8.2 AGC 制御特性の補正

## (4) AGC 制御出力リミタ

AGC 制御出力を上下限のリミタで制限することができます。制御出力下限はレジスタ aglmin で設定します。また、制御出力上限はレジスタ aglmax で設定します。どちらの設定も 0～255 のストレートバイナリ形式です。

名称	アドレス (HEX)	データ	R/W	初期値	内容
aglmin [7:0]	09	[7:0]	W	0x00	AGC 制御出力の下限設定 ストレートバイナリ形式で設定します。 0:最小値 ～255: 最大値
aglmax [7:0]	0A	[7:0]	W	0xFF	AGC 制御出力の上限設定 ストレートバイナリ形式で設定します。 0:最小値 ～255: 最大値
agcgn [2:0]	0E	[2:0]	W	0x0	AGC 制御利得調整 2 のべき乗で利得を設定できます。 0:最大 ～ 7:最小
aagcdv [2:0]	10	[5:3]	W	0x6	AGC 制御利得調整 2 のべき乗で利得を設定できます。 0: 最大 ～ 7: 最小
amglvl [9:8]	10	[1:0]	W	0x2	AGC 制御出力の初期値設定 (上位) (下位) 0: 最小 ～ 1023: 最大
amglvl [7:0]	11	[7:0]	W	0x00	
aagpcw [1:0]	12	[7:6]	W	0x0	DAC 動作クロック周波数設定 0:MD/32, 1:MD/16, 2:MD/8, 3:MD/4
aggsft [1:0]	12	[5:4]	W	0x3	AGC 制御感度の非線形補償利得 aggthr 切替点以降の利得を aagcdv × aggsft にします。 0: × 8, 1: × 4, 2: × 2, 3: × 1
aggthr [3:0]	12	[3:0]	W	0x0	AGC 制御感度の非線形補償切替点 0:最小値 ～ 15:最大値
acolvl [7:0]	38	[7:0]	W	0x40	AGC 誤差検出コアリング閾値設定 小振幅誤差信号を無視して低 C/N 特性を改善します。 0:最小値 ～ 255:最大値
aagref [7:0]	39	[7:0]	W	0x10	AGC 入力ファレンスレベル設定 0:最小値 ～ 255:最大値
aagcinv	87	[2]	W	0x0	AGC 制御極性 0:非反転 1:反転
agcmc [6:0]	BA	[6:0]	R	0xXX	AGC 制御量モニタ出力 0: 最小 ～ 127: 最大

## 8.6 キャリア再生

## 8.6.1 キャリアAFCループ利得設定

キャリア AFC のループ利得は PSK シンボルレート JFS とマスタクロック周波数 MD で変化するため、次式で求められる値をレジスタ afcg に設定して下さい。

$$\text{afcg} = (\text{JFS} / \text{MD}) \times 214 + 1 \quad (\text{式 8-6-1})$$

計算例：マスタクロック周波数 MD=76.2[MHz]、PSK シンボルレート JFS=28.86[MHz]

$$\begin{aligned} \text{afcg} &= (28.86 / 76.2) \times 214 + 1 \\ &\approx 82 \\ &= 52\text{h} \end{aligned}$$

TC90512 では 8PSK、QPSK および BPSK 変調に応じてキャリア再生ループ利得を自動的に切り替え、最適な制御を行なっています。レジスタ pllqhgdc と pllbhgdc にはそれぞれ QPSK と BPSK 変調のループ利得を設定します。また、適応制御における PLL ループ利得制御の上限値を pllhmax で設定できます。

## 8.6.2 キャリア周波数誤差モニタ

キャリア周波数誤差はレジスタ afcfrc でモニタできます。afcfrc は 2 の補数表現です。

$$\text{キャリア周波数誤差[MHz]} = \text{afcfrc} \times \text{マスタクロック周波数 MD[MHz]} \div 1024 \quad (\text{式 8-6-2})$$

計算例：afcfrc[7:0] = 17h(+23dec)のとき、

$$\begin{aligned} \text{キャリア周波数誤差} &= (+23) \times 76.2 / 1024 \\ &= +1.712\text{[MHz]} \end{aligned}$$

※ この計算例では入力信号のキャリア周波数がチューナ局発周波数より 1.712MHz 高いことを示します。計算結果が負の場合は入力信号周波数がチューナ局発より低いことを示します。

名称	アドレス (HEX)	データ	R/W	初期値	内容
afcg [7:0]	0F	[7:0]	W	XSEL	キャリア再生 AFC 利得設定 次式で求められる値を設定します $\text{afcg} = (\text{JFS} / \text{MD}) \times 214 + 1$ 1:最小 ~ 255:最大
pllhmax[3:0]	51	[7:4]	W	0xC	キャリア PLL 時定数自動制御範囲上限設定 11:最小 ~ 15:最大
pllbhgdc[5:4]	52	[1:0]	W	0x2	キャリア PLL 定常時 BPSK 直接系ゲイン選択 0:最小 ~ 63:最大
pllbhgdc[3:0]	53	[7:4]	W	0x1	
pllqhgdc[5:4]	5A	[1:0]	W	0x2	キャリア PLL 定常時 QPSK 部 直接系ゲイン 0:最小 ~ 63:最大
pllqhgdc[3:0]	5B	[7:4]	W	0x2	
afcfrc [7:0]	BB	[7:0]	R	0xFF	キャリア周波数誤差モニタ キャリア周波数誤差を表します。2 の補数表現です -128: 最小 ~ 127: 最大

※XSEL：XSEL による自動設定については、6.5 節および 10 章を参照してください。

## 8.7 同期

復調同期の制御回路は TC90512 に内蔵されており、外部からの制御は不要です。キャリア非同期状態は crunlock でモニタすることができます。

名称	アドレス (HEX)	データ	R/W	初期値	内容
crunlock	BA	[7]	R	0xXX	キャリア非同期モニタ 復調部の同期状態を表します 0:同期 1:非同期

## 8.8 等化

### 8.8.1 等化器

ケーブル反射などによる信号歪みを入力条件に応じて適応的に除去します。制御回路は内蔵されているので外部からの制御は不要です。

### 8.8.2 C/N推定

復調 S/N から入力信号の C/N を推定できます。レジスタ cnmc の値を次式に代入すると近似的に入力信号の C/N を dB 値で求めることができます。

$$C/N[dB] = -1.6346 \times P^5 + 14.341 \times P^4 - 50.259 \times P^3 + 88.977P^2 - 89.565 \times P + 58.857 \quad (\text{式 8-8-1})$$

ただし、 $P = (cnmc - 3000)^{1/2} \div 64$  かつ cnmc は 3000 以上であること

上記の近似式で推定可能な C/N 範囲は 0～30dB ですが、信号処理上の劣化も含まれるので、あくまで目安として使用ください。より簡単な近似式は下記のとおりです。

$$C/N[dB] = -0.14 \times (cnmc - 3000)^{1/2} + 28.7 \quad (\text{式 8-8-2})$$

ただし、cnmc は 3000 以上であること

この場合の推定可能な C/N 範囲は 6～17dB です。この範囲以外では誤差が大きくなります。

名称	アドレス (HEX)	データ	R/W	初期値	内容
deqoff	3B	[0]	W	0x0	等化器係数クリア (テスト用) 0:等化動作 1:等化器係数クリア
cnmc [15:8]	BC	[7:0]	R	0xXX	C/N モニタ (上位) (下位) ストレートバイナリ形式。値が大きいほど雑音レベルが大きいことを示します。(位相雑音を除く。)
cnmc [7:0]	BD	[7:0]	R	0xXX	

## 8.9 誤り訂正

### 8.9.1 TS出力の各種設定

下記のレジスタで TS 出力の各種設定ができます。

#### ① TS 出力形式

レジスタ dvaloff :	パリティ期間の TS パラレルおよびシリアル出力データを"0"にします。
レジスタ pkstop :	パリティ期間の TS シリアルクロックを停止します。
レジスタ rsckrev :	TS パラレル出力のクロック極性を反転します。
レジスタ chclkp :	TS シリアル出力のクロック極性を反転します。
レジスタ oponff :	高階層を強制的にヌルパケット化します。

#### ② バリッドフラグ関連

レジスタ nuval :	ヌルパケットのバリッドフラグを立てないようにします。(実際に伝送されるヌルパケットを除きます。)
レジスタ anuval :	nuval="1"のときに強制的にヌル化されたパケットと自動ヌル化されたパケットのバリッド信号も立てないようにします。
レジスタ valrev :	バリッド極性を反転します。

#### ③ エラーフラグ関連

レジスタ msboff :	TS パケットヘッダの RS 復号エラービット (2nd バイト MSB) 付加をオフします。TS パケット出力での BER 測定に用います。
レジスタ asyncng :	復調引込完了までの非同期期間ではヌルパケット含めて全 TS パケットをエラーとする機能をオフします。

### 8.9.2 出力TSのTS\_ID設定

レジスタ iits で出力 TS の TS\_ID を指定します。もし、指定した TS\_ID が受信データ中に存在しない場合には自動的に伝送フレームの先頭スロットに存在する TS データを出力します。

### 8.9.3 TMCC情報の出力

テスト用にレジスタ tmccadd ="1"設定で TS ヘッダの代わりに TMCC 情報 (48 バイト) を置き換えることができます。置き換える位置は全フレーム (0~7) のうちの 0~5 フレームにおいて、全スロット (0~47) のうちの 2~9 スロットです。それ以外は通常の 47h ヘッダのままです。

なお、レジスタ bytesel ="1"設定で JSBYTE 信号 (PSK 復調 TS 出力の TS パケット同期) に替えてスーパーフレーム同期も出力できます。上記 TMCC 情報の同期に用いることができます。

### 8.9.4 BER測定用シリアル出力

テスト用にレジスタ beron ="1"設定により TS シリアル出力に替えて BER 測定用シリアルデータとクロックを出力できます。階層変調のときは TS 階層をレジスタ hlmask で選択してそれぞれの階層ごとに BER シリアルデータとクロックを出力できます。この測定ではあらかじめ送信側にて PRBS (擬似ランダムバイナリシーケンス) をデータとして送出する必要があります。

なお、同期 47h ヘッダとパリティ部および伝送モードごとに発生するダミースロット期間は PRBS シーケンスが伝送されないで、BER 測定端子から BER データは出力されません。BER 測定用クロックも停止しています。

### 8.9.5 RS復号ON/OFF

主信号および TMCC 信号の RS 復号をオン／オフできます。主信号はレジスタ rsoff で、TMCC 信号はレジスタ tmoft で設定します。

### 8.9.6 ビタビ復号後エラーレートの測定

レジスタ corchh="1"とすることで、レジスタ iits で選択した TS について一定周期ごとに RS 復号で訂正されたエラービット数をカウントできます。

RS 復号で訂正されたビット数がビタビ訂正後のエラービット数に等しいと近似できる場合（比較的エラー数が少ない場合）、エラービット数を測定周期中の総ビット数で割った結果がビタビ復号後 BER となります。

#### ① 測定周期モードの選択

ISDB-S では 1 スーパーフレーム当たりのスロット数が TS および階層ごとに異なるので、測定周期として総スロット数を指定する「スロットモード」とスーパーフレーム数を指定する「時間モード」を用意しています。

スロットモード : tschh="0"  
指定したスロット数ごとのエラー数（corchh="1"ではエラービット数）をカウントします。

時間モード : tschh="1"  
設定したスーパーフレーム数ごとのエラー数（corchh="1"ではエラービット数）をカウントします。

#### ② BER 測定階層の選択

TC90512 内蔵エラーカウンタで BER 測定する場合は 2 階層同時にカウントできるので、階層選択の必要はありません。一方、外部 BER カウンタで測定する場合は測定したい階層をレジスタ hlmask で設定する必要があります。なお、単一階層伝送の場合は高階層側で測定します。

高階層または単一階層の BER 測定 : hlmask[1:0] = "10"  
低階層の BER 測定 : hlmask[1:0] = "01"

#### ③ 測定周期の設定

スロットモード、時間モードの両方とも下記のレジスタに設定します。

高階層または単一階層の測定周期 : cych[2:0]にスロット数またはスーパーフレーム数を設定  
低階層の測定周期 : cycl[2:0]にスロット数またはスーパーフレーム数を設定

#### ④ エラーカウント数（ビット数）の読み出し

高階層または単一階層のカウント値 : perrh[23:0]に出力  
低階層のカウント値 : perrl [23:0]に出力

#### ⑤ 測定周期の総パケット数の読み出し

スロットモードで指定したスロット数はパケット数と同じですが、時間モードは伝送パラメータに依存して 1 スーパーフレーム中のスロット数（パケット数）が異なります。cych または cycl で指定したスーパーフレーム数の期間の総パケット数は下記のレジスタで読み出すことができます。

高階層または単一階層の総パケット数 : pecyh[15:0] に出力  
低階層の総パケット数 : peycl [15:0]に出力

## ⑥ ビタビ復号後 BER の計算

次式でビタビ復号後 BER を近似計算できます。

$$\text{高階層 BER} \doteq \text{perrh} / (\text{pecyh} \times 204 \times 8) \quad (\text{式 8-9-1})$$

$$\text{低階層 BER} \doteq \text{perrl} / (\text{pecyl} \times 204 \times 8) \quad (\text{式 8-9-2})$$

※ RS 復号で 9 バイト以上の誤りが存在して訂正不能な場合、エラービット数を特定できません。  
このため、上式の近似計算結果は  $7.8 \times 10^{-2}$  程度で飽和します。

## 8.9.7 RS復号後エラーレートの測定

レジスタ corchh="0" 設定（デフォルト）とすることで、レジスタ iits で選択した TS について一定周期ごとに RS 復号後のエラーパケット数（9 バイト以上のエラーがあり RS 訂正できないパケットの数）をカウントします。

パケットエラーレート PER は RS 訂正できないパケット数と測定周期の総パケット数の比で計算されます。また、このときの BER は RS 訂正できないパケットにおけるエラーバイト数を 9 バイトと見なしで計算します。（10 バイト以上のエラー発生確率は小さいと仮定）

## ① 測定周期モードの選択

ISDB-S では 1 スーパーフレーム当たりのスロット数が TS および階層ごとに異なるので、測定周期として総スロット数を指定する「スロットモード」とスーパーフレーム数を指定する「時間モード」を用意しています。

スロットモード :      tschh="0"  
指定したスロット数ごとのエラー数（corchh="0"ではエラーパケット数）をカウントします。

時間モード :          tschh="1"  
指定したスーパーフレーム数ごとのエラー数（corchh="0"ではエラーパケット数）をカウントします。

## ② BER 測定階層の選択

TC90512 内部のエラーカウンタで BER 測定する場合は 2 階層同時にカウントできるので、階層選択の必要はありません。一方、外部 BER カウンタで測定する場合は BER 測定したい階層をレジスタ hmask で設定します。なお、単一階層伝送の場合は高階層側で測定します。

高階層または単一階層の BER 測定 :    hmask[1:0] = "10"  
低階層の BER 測定 :                    hmask[1:0] = "01"

## ③ 測定周期の設定

測定周期はスロットモードと時間モードの両方とも下記のレジスタに設定します。

高階層または単一階層の測定周期 :    cych[2:0]にスロット数またはスーパーフレーム数を設定  
低階層の測定周期 :                    cycl[2:0]にスロット数またはスーパーフレーム数を設定

## ④ エラーカウント数の読み出し

エラーカウント数（パケット数）は下記のレジスタで読み出します。

高階層または単一階層のカウント値 :    perrh[23:0]に出力されます。  
低階層のカウント値 :                    perrl[23:0]に出力されます。



## ⑤ 測定周期の総パケット数の読み出し

スロットモードで指定したスロット数はパケット数と同じですが、時間モードは伝送パラメータに依存して1スーパーフレーム中のスロット数（パケット数）が異なります。cych または cycl で指定したスーパーフレーム数の期間の総パケット数は下記のレジスタで読み出すことができます。

高階層または単一階層の総パケット数： pecyh[15:0] に出力  
低階層の総パケット数： pecyl [15:0]に出力

## ⑥ RS 復号後 BER の計算

次式で RS 復号後 BER を近似的に計算できます。

高階層 PER  $\doteq$  perrh / pecyh (式 8-9-3)

高階層 BER  $\doteq$  (perrh  $\times$  8  $\times$  0.5  $\times$  9) / (pecyh  $\times$  204  $\times$  8) (式 8-9-4)

低階層 PER  $\doteq$  perrl / pecyl (式 8-9-5)

低階層 BER  $\doteq$  (perrl  $\times$  8  $\times$  0.5  $\times$  9) / (pecyl  $\times$  204  $\times$  8) (式 8-9-6)

※ RS 訂正不能な場合、エラーパケット数を特定ができないため誤差を含みます。

## 8.9.8 階層変調時のTS出力パケットのヌル化設定

## (1) 高階層の強制ヌル設定

レジスタ opnoff="1"設定で出力 TS 中の高階層パケットを強制的にヌルパケットに置き換えることができます。

## (2) エラー多発時の自動ヌルパケット化設定

エラーパケットが頻繁に発生する場合、MPEG デコーダにおいて TS\_ID 誤識別などによる誤動作を生じる可能性があります。TC90512 はエラー発生頻度に応じて自動的に TS パケットをヌルパケットに置換してこの誤動作を防ぐことができます。

## ① エラーカウントモードの設定

自動ヌルパケット化を用いる場合は、corchh="0"（パケット数でエラーをカウント）とします。

## ② 測定周期モードの設定

BER 測定のとくと同様に、スロットモード（パケット単位）か時間モード（スーパーフレーム単位）かを選択します。なお、jperstを用いるとエラー測定のカウンタをリセットすることができます。

## ③ 観測周期の設定

BER 測定のとくと同様に、エラーカウントする周期をレジスタ cych および cycl に設定します。

## ④ 自動ヌルパケット化する階層の指定

自動ヌルパケット化は高階層、低階層それぞれ個別に設定可能です。それぞれレジスタ nullon\_h（高階層）と nullon\_l（低階層）を"1"にすることで設定されます。

## ⑤ 自動ヌルパケット化オン／オフ閾値の設定



エラーカウント数に対して閾値を設定します。この閾値を超えた場合に TS 出力パケットをヌルパケット化します。閾値にはヒステリシス特性を持たせることができます。

エラーカウント値が増大した際に「ヌルパケット化オン」と判定する閾値を shcl[2:0]に設定し、エラーカウント値が減少した際に「ヌルパケット化オフ」と判定する閾値を shch[2:0]に設定します。正しくヒステリシス動作をするように  $shcl \leq shch$  となるように設定してください。これらの閾値は高階層、低階層で共通です。

※ 閾値 shch と shcl は観測パケット周期 pecyh または pecyl のパケット数に対する比で設定しますが、観測パケット周期との積が 1 以上になるようにして下さい。例えば、観測周期がスロットモードで「384 パケット」のとき shch または shcl が「周期の 1/512」のような設定だと、全パケットがエラーであっても  $shch \times pecyh$  (or  $pecyl$ ) または  $shcl \times pecyh$  (or  $pecyl$ ) が 1 パケット以下の結果になり正しく動作しません。

※ 閾値での判定結果はレジスタ nul\_h または nul\_l で確認することができます。

### 8.9.9 RS復号エラーフラグJRLOCKの設定

RS 復号された TS パケット (TS ID で選択された TS の高階層のみ) にエラーがあるかどうかを JRLOCK フラグに出力することができます。RSEORF 信号は TS パケット単位のエラーフラグですが、JRLOCK はより長い観測期間に基づいてエラー有無を判定します。

JRLOCK 判定基準はエラーなし TS パケットが連続したときにフラグが立ち、エラーあり TS パケットが連続して発生したときに下がります。判定基準となる TS パケット連続数はそれぞれレジスタ okval[2:0]と eval[2:0]で設定できます。

JRLOCK 用連続エラーTS 数設定

okval/eval	判定パケット数
0	1 (eval デフォルト値)
1	2
2	4
3	8
4	16
5	32
6	64
7	128 (okval デフォルト値)

なお、階層伝送される TS を選択している場合、JRLOCK は高階層のみのエラー有無の判定結果を示しますが、okval と eval は高階層と低階層の両方に共通に用いられており、これらの判定結果はそれぞれレジスタ rlockh、rlockl でモニタできます。

### 8.9.10 エラー判定とBER測定、ヌルパケット化の関連

図 8.3 にエラーフラグと BER 測定およびヌルパケット化設定の関係を示します。JRSEORF は高階層 TS パケットの連続エラー判定結果です。またレジスタ rlockl は低階層 TS パケットの連続エラー判定結果です。(rlockl は端子 STSFLG1 に出力することもできます。)

最終的な TS パケットのエラーフラグである JRSEORF には JRLOCK および rlockl の結果が反映されており、JRSEORF の不安定な状態 (同期引込過程で TS エラーフラグが交互に 1,0 になるような状況) を抑えます。一方、BER 測定およびヌルパケット化処理はエラーカウンタの結果を用います。また、ヌルパケット化に関連してバリット信号も nuval や anuval で連動させることができます。

なお、低階層は TS の伝送レートが低いため、高階層に比べてエラーフリー判定が遅くなるので注意してください。

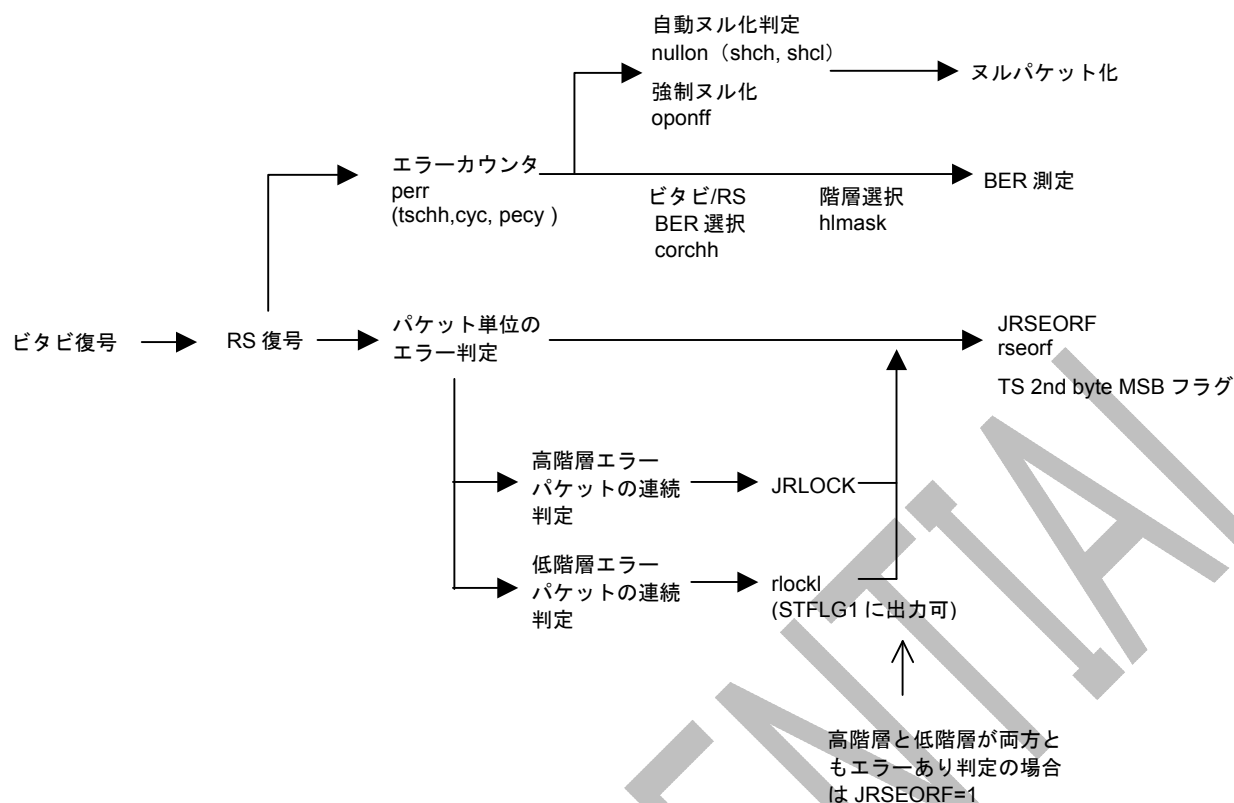


図 8.3 エラーフラグの設定

名称	アドレス (HEX)	データ	R/W	初期値	内容
chckp	04	[1]	W	0x0	JSRCK 出力極性反転 JSRCK 出力端子から出力されるクロック極性を反転します。 0: 非反転 1: 反転
rsoff	8D	[7]	W	0x0	主信号の RS 復号動作設定 0: ON 1: OFF (テスト用)
tmoff	8D	[6]	W	0x0	TMCC 信号の RS 復号動作設定 0: ON 1: OFF (テスト用)
msboff	8D	[5]	W	0x0	TS パケット 2nd MSB エラーフラグ設定 0: エラーありで 1 とする (通常) 1: フラグを変更しない (外部カウンタでの BER 測定用)
nullon_h	8D	[3]	W	0x0	高階層自動ヌル化設定 0: OFF 1: ON
nullon_l	8D	[2]	W	0x0	低階層自動ヌル化設定 0: OFF 1: ON
tmccadd	8D	[1]	W	0x0	TMCC 情報の挿入 TS パケット同期バイト (47h) の代わりに TMCC 情報 (48 バイト) を置き換えます。 0: TMCC 情報に置き換えない (通常) 1: TMCC 情報に置き換える (テスト用)
hlmask [1:0]	8E	[7:6]	W	0x0	BER 測定階層を選択 00: 通常 (BER 測定以外) 01: 低階層の BER 測定 10: 高階層または単一階層の BER 測定 11: 未定義
dvaloff	8E	[5]	W	0x0	TS パラレルおよびシリアルのパリティ期間を "0" にする 0: パリティ期間のデータを "0" にしない 1: パリティ期間のデータを "0" にする

beron	8E	[3]	W	0x0	シリアル出力切替 0: TS シリアルデータ/クロック 1: BER 測定用シリアルデータ/クロック
pkstop	8E	[2]	W	0x0	パリティ期間の TS シリアル出力クロック設定 0: パリティ期間にもクロックを出す (204 バイト分) 1: パリティ期間はクロックを止める (188 バイト分) ※TS パラレルには機能しません。
nuval	8E	[1]	W	0x0	ヌルパケット期間のバリッドフラグ設定 データに多重されているヌルパケットは対象外です。 0: バリッドフラグ立てる 1: バリッドフラグ立てない
valrev	8E	[0]	W	0x0	バリッド極性反転 0: データ期間"1"、パリティ期間"0" 1: パリティ期間"1"、データ期間"0"
iits [15:8]	8F	[7:0]	W	0x00	出力 TS_ID 設定 (上位) (下位) 指定された TS_ID が存在しない場合は伝送フレーム先頭スロットで伝送されている TS を出力します。
iits [7:0]	90	[7:0]	W	0x00	
anuval	A3	[7]	W	0x0	自動・強制ヌル化パケットのバリッドフラグ設定 nuval="1"のときに自動ヌル化および強制ヌル化されたパケットのバリッドフラグを立てません。 0: バリッドフラグ立てる 1: バリッドフラグ立てない
cych[2:0]	A3	[6:4]	W	0x7	高階層の測定周期設定 値      スロットモード      時間モード 0      384 パケット      1 スーパーフレーム 1      768 パケット      2 スーパーフレーム 2      1536 パケット      4 スーパーフレーム 3      3072 パケット      8 スーパーフレーム 4      6144 パケット      16 スーパーフレーム 5      12288 パケット      32 スーパーフレーム 6      24576 パケット      64 スーパーフレーム 7      49152 パケット      128 スーパーフレーム
asynchng	A3	[3]	W	0x0	復調引込時の TS パケットエラー設定 復調引込完了までの非同期期間はヌルパケット含めて強制的に TS パケットをエラーとする機能を OFF します。 0: 非同期期間は強制的にエラーにする 1:非同期期間も強制的にエラーにしない
cycl[2:0]	A3	[2:0]	W	0x7	低階層の測定周期設定 値      スロットモード      時間モード 0      384 パケット      1 スーパーフレーム 1      768 パケット      2 スーパーフレーム 2      1536 パケット      4 スーパーフレーム 3      3072 パケット      8 スーパーフレーム 4      6144 パケット      16 スーパーフレーム 5      12288 パケット      32 スーパーフレーム 6      24576 パケット      64 スーパーフレーム 7      49152 パケット      128 スーパーフレーム
rsckrev	A4	[7]	W	0x0	TS バイトクロック反転 RSCKO クロック極性を反転します。 0: 非反転      1: 反転

shch[2:0]	A4	[6:4]	W	0x0	自動ヌルパケット化の閾値設定（ヌル化停止） エラーカウンタ値が減少した際に「ヌルパケット化 OFF」と判定する閾値 値 閾値 0 周期の 1/8 1 周期の 1/16 2 周期の 1/32 3 周期の 1/64 4 周期の 1/128 5 周期の 1/256 6 周期の 1/512 7 エラーカウンタ値=1
shcl[2:0]	A4	[2:0]	W	0x0	自動ヌルパケット化の閾値設定（ヌル化開始） エラーカウンタ値が増大した際に「ヌルパケット化 ON」と判定する閾値 値 閾値 0 周期の 1/8 1 周期の 1/16 2 周期の 1/32 3 周期の 1/64 4 周期の 1/128 5 周期の 1/256 6 周期の 1/512 7 エラーカウンタ値=1
tschh	A5	[7]	W	0x0	エラーパケット数測定周期の設定 0: スロットモード 1: 時間モード
corchh	A5	[6]	W	0x0	エラー測定モード設定 0: RS 復号後エラーパケット数カウントモード 1: ビタビ復号後エラービット数カウントモード
jperst	A5	[0]	W	0x0	高階層/低階層エラーカウンタの強制リセット 0: リセットしない 1: リセットする
erval[2:0]	A6	[6:4]	W	0x0	RLOCK 用連続エラーあり TS 数設定 erval 判定パケット数 0 1 (erval デフォルト値) 1 2 2 4 3 8 4 16 5 32 6 64 7 128
oponff	A6	[3]	W	0x0	高階層強制ヌル化 ON 0: ヌル化しない 1: ヌル化する
okval[2:0]	A6	[2:0]	W	0x4	RLOCK 用連続エラーなし TS 数設定 okval 判定パケット数 0 1 1 2 2 4 3 8 4 16 (okval デフォルト値) 5 32 6 64 7 128
rlockh	C5	[1]	R	0xX	高階層 RLOCK モニタ 0: RS 復号エラーあり 1: RS 復号エラーなし
rlockl	C5	[0]	R	0xX	低階層 RLOCK モニタ 0: RS 復号エラーあり 1: RS 復号エラーなし (階層が存在しない場合は 0)

nul_h	E8	[7]	R	0xX	高階層 自動ヌルパケット化判定結果モニタ 0:ヌル化しない判定 1:ヌル化する判定
nul_l	E8	[3]	R	0xX	低階層 自動ヌルパケット化判定結果モニタ 0:ヌル化しない判定 1:ヌル化する判定
perrh [23:16]	EB	[7:0]	R	0xXX	高階層エラーカウント数モニタ (上位)
perrh [15:8]	EC	[7:0]	R	0xXX	(中位)
perrh [7:0]	ED	[7:0]	R	0xXX	(下位)
pecyh [15:8]	EE	[7:0]	R	0xXX	高階層エラーカウント周期モニタ (上位)
pecyh [7:0]	EF	[7:0]	R	0xXX	(下位)
perrl [23:16]	F0	[7:0]	R	0xXX	低階層エラーカウント数モニタ (上位)
perrl [15:8]	F1	[7:0]	R	0xXX	(中位)
perrl [7:0]	F2	[7:0]	R	0xXX	(下位)
pecyl [15:8]	F3	[7:0]	R	0xXX	低階層エラーカウント周期モニタ (上位)
pecyl [7:0]	F4	[7:0]	R	0xXX	(下位)

## 8.10 モニタ出力

前節までに説明されたレジスタを含めて TC90512 の PSK 復調部に用意されたモニタ用レジスタ一覧を示します。

## 8.10.1 TMCC情報モニタレジスタ

伝送される TMCC 情報のうち、相対 TS およびスロット情報以外の全情報のモニタが可能です。

## 8.10.2 コンスタレーションのモニタレジスタ

コンスタレーションはレジスタ `tston="1"` として、レジスタ `tsic` で READ することができます。

## 8.10.3 その他のモニタレジスタ

- ① 相対 TS 番号"`n`"に対応する TS\_ID 番号をレジスタ `tsid("n")` でモニタできます。
- ② 出力する TS のスロット数合計をレジスタ `acnt` でモニタできます。変調 QPSK および BPSK が含まれる場合はダミースロットも含めた合計数が出力されます。
- ③ 出力する TS の変調モードを階層ごとにレジスタ `rateh` と `ratel` で、TS スロット数を階層ごとに `sloth` と `slotl` でモニタできます。変調 QPSK および BPSK が含まれる場合はダミースロットも含めたスロット数が出力されます。階層変調を行っていない単一階層では高階層側のレジスタに表示します。

名称	アドレス (HEX)	データ	R/W	初期値	内容
<code>tston</code>	57	[7]	W	0x0	コンスタレーション出力オン 0:出力オフ 1:出力オン
<code>tsic[15:8]</code>	B8	[7:0]	R	0xXX	コンスタレーション I 軸データ 2 の補数形式
<code>tsic[7:0]</code>	B9	[7:0]	R	0xXX	コンスタレーション Q 軸データ 2 の補数形式
<code>crunlock</code>	BA	[7]	R	0xX	キャリア非同期モニタ 復調部の非同期状態を表します 0:同期 1:非同期
<code>agcmc</code> [6:0]	BA	[6:0]	R	0xXX	AGC 制御量モニタ出力 0: 最小 ~ 127: 最大
<code>afcfreq</code> [7:0]	BB	[7:0]	R	0xXX	キャリア周波数誤差モニタ キャリア周波数誤差を表します。2 の補数表現です -128 ~ 127
<code>cnmc</code> [15:8]	BC	[7:0]	R	0xXX	C/N モニタ (上位)
<code>cnmc</code> [7:0]	BD	[7:0]	R	0xXX	
<code>clkfreq</code> [7:0]	BE	[7:0]	R	0xXX	クロック周波数誤差モニタ 2 の補数表現。次式でクロック周波数誤差を計算できます。 周波数誤差[ppm] = $\text{clkfreq} \times \text{JFS}[\text{MHz}] / \text{MD}[\text{MHz}] \times 7.63$ JFS (シンボルレート) = 28.86[MHz]
<code>inpnnon</code>	C3	[7]	R	0xX	ステータスレジスタ 1 のフラグ <code>inpnnon</code> 入力信号の有無をモニタするフラグ 0:入力信号レベル正常 1:入力信号レベルが過小のとき

unlock	C3	[6]	R	0xX	ステータスレジスタ 1 のフラグ unlock 0:同期正常 1:復調およびフレーム同期外れ
crslip	C3	[5]	R	0xX	ステータスレジスタ 1 のフラグ crslip 0:キャリア再生サイクルスリップなし 1:キャリア再生サイクルスリップ発生
tmcerr	C3	[4]	R	0xX	ステータスレジスタ 1 のフラグ tmcerr 0:TMCC 復号エラーなし 1:TMCC 復号エラーあり
sdiv	C3	[3]	R	0xX	ステータスレジスタ 1 のフラグ sdiv 0:TMCC サイトダイバーシチ切替なし 1:TMCC サイトダイバーシチ切替中
emgcy	C3	[2]	R	0xX	ステータスレジスタ 0 のフラグ emgcy 0:TMCC 緊急警報放送用起動フラグなし 1:TMCC 緊急警報放送用起動フラグあり
tmcrev	C3	[1]	R	0xX	ステータスレジスタ 1 のフラグ tmcrev 0:TMCC 拡張フラグなし 1: TMCC 拡張フラグあり
tmchg	C3	[0]	R	0xX	ステータスレジスタ 1 のフラグ tmchg 0:TMCC 変更指示フラグに変化なし 1: TMCC 変更指示フラグに変化あり
pm1d [4:0]	C5	[7:3]	R	0xXX	TMCC 変更指示情報モニタ
acnt [5:0]	C6	[7:2]	R	0xXX	出力 TS のスロット数合計
uplink [3:0]	C7	[3:0]	R	0xX	TMCC アップリンク制御情報モニタ
d_mode1 [3:0]	C8	[7:4]	R	0xX	TMCC 伝送モード 1 をモニタ
d_mode2 [3:0]	C8	[3:0]	R	0xX	TMCC 伝送モード 2 をモニタ
d_mode3 [3:0]	C9	[7:4]	R	0xX	TMCC 伝送モード 3 をモニタ
d_mode4 [3:0]	C9	[3:0]	R	0xX	TMCC 伝送モード 4 をモニタ
s_mode1 [5:0]	CA	[5:0]	R	0xXX	TMCC 伝送モード 1 への割り当てスロット数モニタ
s_mode2 [5:0]	CB	[5:0]	R	0xXX	TMCC 伝送モード 2 への割り当てスロット数モニタ
s_mode3 [5:0]	CC	[5:0]	R	0xXX	TMCC 伝送モード 3 への割り当てスロット数モニタ
s_mode4 [5:0]	CD	[5:0]	R	0xXX	TMCC 伝送モード 4 への割り当てスロット数モニタ
tsid0 [15:8]	CE	[7:0]	R	0xXX	相対 TS 番号 0 に対応する TS_ID モニタ (上位)
tsid0 [7:0]	CF	[7:0]	R	0xXX	
tsid1 [15:8]	D0	[7:0]	R	0xXX	相対 TS 番号 1 に対応する TS_ID モニタ (上位)
tsid1 [7:0]	D1	[7:0]	R	0xXX	
tsid2 [15:8]	D2	[7:0]	R	0xXX	相対 TS 番号 2 に対応する TS_ID モニタ
tsid2 [7:0]	D3	[7:0]	R	0xXX	
tsid3 [15:8]	D4	[7:0]	R	0xXX	相対 TS 番号 3 に対応する TS_ID モニタ
tsid3 [7:0]	D5	[7:0]	R	0xXX	
tsid4 [15:8]	D6	[7:0]	R	0xXX	相対 TS 番号 4 に対応する TS_ID モニタ
tsid4 [7:0]	D7	[7:0]	R	0xXX	

tsid5 [15:8]	D8	[7:0]	R	0xXX	相対 TS 番号 5 に対応する TS_ID モニタ
tsid5 [7:0]	D9	[7:0]	R	0xXX	
tsid6 [15:8]	DA	[7:0]	R	0xXX	相対 TS 番号 6 に対応する TS_ID モニタ
tsid6 [7:0]	DB	[7:0]	R	0xXX	
tsid7 [15:8]	DC	[7:0]	R	0xXX	相対 TS 番号 7 に対応する TS_ID モニタ
tsid7 [7:0]	DD	[7:0]	R	0xXX	
exfld [60:53]	DE	[7:0]	R	0xXX	TMCC 拡張領域モニタ (全 61 ビット) (上位)
exfld [52:45]	DF	[7:0]	R	0xXX	
exfld [44:37]	E0	[7:0]	R	0xXX	
exfld [36:29]	E1	[7:0]	R	0xXX	
exfld [28:21]	E2	[7:0]	R	0xXX	
exfld [20:13]	E3	[7:0]	R	0xXX	
exfld [12:5]	E4	[7:0]	R	0xXX	
exfld [4:0]	E5	[7:3]	R	0xXX	
tsido [15:8]	E6	[7:0]	R	0xXX	
tsido [7:0]	E7	[7:0]	R	0xXX	
rateh [2:0]	E8	[6:4]	R	0xX	出力 TS の変調モード (高階層) 111: 8PSK 110: QPSK R=7/8 101: QPSK R=5/6 100: QPSK R=3/4 011: QPSK R=2/3 010: QPSK R=1/2 001: BPSK 000: なし
ratel [2:0]	E8	[2:0]	R	0xX	出力 TS の変調モード (低階層) 111: 8PSK 110: QPSK R=7/8 101: QPSK R=5/6 100: QPSK R=3/4 011: QPSK R=2/3 010: QPSK R=1/2 001: BPSK 000: なし
sloth [5:0]	E9	[5:0]	R	0xXX	出力 TS のスロット数 (高階層)
slotl [5:0]	EA	[5:0]	R	0xXX	出力 TS のスロット数 (低階層)



**8.11 I<sup>2</sup>Cスルーモード**

TC90512 は衛星デジタルチューナの設定用に I<sup>2</sup>C スルー制御端子 JTNSCL、JTNSDA を備えています。  
I<sup>2</sup>C スルーモードはレジスタアドレス"FEh"をアクセスすることで有効となり、一連のデータ転送を終えた後のストップコンディションで解除されます。(5.1 節参照)

名称	アドレス (HEX)	データ	R/W	初期値	内容
tnflg [7:0]	FE	[7:0]	W	0x00	本アドレス設定後 I2C バスはスルーモードに設定 [7:1]: チューナのスレーブアドレス [0] : "0"でチューナへのライト "1"でチューナからのリード

## 9. 地上デジタル（OFDM）復調機能

### 9.1 リセット

OFDM 復調回路は、

- ① 復調同期シーケンスのリセットをおこなう復調リセット（imsrst）
- ② FFT 窓サーチを開始する窓サーチリセット（iwsrst）

の2つのリセット信号を持っています。

これらのリセットは設定した後に約 4 $\mu$ s で自動的に"0"に戻されるので、リセット停止のために"0"を設定する必要はありません。（システムリセットは7章を参照ください。）

復調リセット imsrst はチャンネル選局動作の最初に常に行うことを推奨します。チャンネル選局時に復調リセットを行わなくても TC90512 は自動的に同期引込しますが、同期外れを検知してから同期シーケンスを初期化するので時間がかかります。

なお、FFT 窓サーチリセットはテスト用であり、通常の動作で使用する必要はありません。

名称	アドレス (HEX)	データ	R/W	初期値	内容
imsrst	01	[6]	W	0x0	復調リセット 0: 通常動作 1: リセット（自動的に通常動作に戻ります）
iwsrst	01	[4]	W	0x0	FFT窓サーチリセット（テスト用） 0: 通常動作 1: リセット（自動的に通常動作に戻ります）

## 9.2 動作モード設定

### 9.2.1 13 セグメント OFDM と 3/1 セグメント OFDM の切替

TC90512 は 13 セグメント OFDM 信号の復調に加え、IF 中心周波数に存在する 1 セグメントまたはその両隣 2 セグメントを含む 3 セグメント信号を復調できます。これらのモード切替はレジスタ `recvmd` で行ないます。13 セグメント OFDM 信号を受信する場合は `recvmd="0"` を設定してください。1 または 3 セグメント OFDM 信号を受信する場合はそれぞれ `recvmd="2"`、`"3"` を設定してください。

### 9.2.2 3/1 セグメント OFDM 復調時の入力帯域幅

#### (1) 地上デジタル TV 放送の部分受信セグメント（1 セグメント）受信

TC90512 は地上デジタル TV 放送の部分受信セグメント（1 セグメント）受信において、入力信号帯域を 1 セグメント狭帯域にしなくても受信できます。すなわち、13 セグメント受信モードのままで `layssel="3h"` とすれば出力 TS は A 階層のみとなり、B および C 階層はすべてヌルパケットに置換されます。ただし、出力クロックレートは 13 セグメント復調の場合と同じです。

#### (2) 地上デジタル音声放送の受信

地上デジタル音声放送は 1 セグメントまたは 3 セグメント OFDM 信号で、周波数利用効率を上げるためにガードバンドなしで連結送信（VHF7ch は 8 セグメント連結）されています。TC90512 で 1 セグメントまたは 3 セグメント OFDM 信号を受信する場合、`recvmd` を受信セグメント数に合わせて設定しておけば入力信号帯域幅を受信信号帯域幅と一致させる必要はありません。例えば、3 セグメント帯域幅で入力して 1 セグメント復調することが可能です。また、8 セグメント連結送信信号の全帯域幅で入力して 1 または 3 セグメント復調することも可能です。なお、3/1 セグメント受信モードでも出力 TS のクロックレートは 13 セグメント復調の場合と同じです。

### 9.2.3 地上デジタル音声放送の 3/1 セグメント自動切替

地上デジタル音声放送では 1/7MHz 単位でサブチャンネルを指定します。サブチャンネルとセグメント番号の関係を図 9.1 に示します。ISDB-T 信号の復調ではセグメントごとに信号処理が異なるため、3/1 セグメント受信モード時は `segssel` で受信信号の中心セグメントを指定してください。

サブチャンネル番号

41	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35	36	37	38	39	40
----	---	---	---	---	---	---	---	---	---	---	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----	----

セグメント番号

13	11	9	7	5	3	1	0	2	4	6	8	10	12
----	----	---	---	---	---	---	---	---	---	---	---	----	----

セグメント番号に対応する数値を HEX 形式で seqsel[3:0]に指定します。

セグメント番号に対応する数値を HEX 形式で `segssel[3:0]` に指定します。

RF 周波数 →

図 9.1 3/1 セグメント OFDM のサブチャンネル指定

なお、地上デジタル音声放送では 1 セグメントと 3 セグメントが混在している場合がありますが、TC90512 はどちらが送信されているか不明の場合でも TMCC 判別で自動的に受信可能なセグメント数で復調するようにできます。すなわち、入力信号が 3 セグメントの場合は 3 セグメント復調し、入力信号が 1 セグメントの場合は 1 セグメント復調することができます。この動作とするには、あらかじめ 3 セグメント受信モード（`recvmd="3"`）として、さらに `recvmdsel="1"` も設定してください。受信信号の TMCC パラメータが地上デジタル音声（`sysid=1`）かつ 1 セグメント（`part=0`）の場合には自動的に 1 セグメント受信モードに切り替わります。

## 9.2.4 地上デジタル音声放送のデジタルチューニング機能

TC90512 内部のデジタル IF 周波数変換を変更することで等価的に入力 IF 中心周波数を変更することができます。このデジタルチューニング機能により、IF 信号周波数を変更することなしに任意のセグメントを復調することができます。

デジタルチューニングはレジスタ `cpId_dt` の設定値をセグメント単位 (3/7MHz) でずらすことで実現できます。`cpId_dt` 計算式は 9.8.1 キャリア再生「周波数変換」に記載されています。式中の IF 周波数をチューニングしたいセグメント中心周波数に設定します。例えば、1 セグメント分だけ高い周波数のセグメントにデジタルチューニングする場合、`cpId_dt` 計算式の IF 周波数に 3/7MHz を加えて計算します。

表 9.1 に TC90512 の 3/1 セグメント OFDM 復調機能と設定をまとめます。

表 9.1 3/1 セグメント OFDM 復調機能とレジスタ設定

		復調セグメント		
受信信号	入力 IF 帯域幅	1 セグメント	3 セグメント	13 セグメント
音声 1 セグメント	1 セグメント帯域 (432kHz)	recvmd="2"	—	—
音声 3 セグメント (部分受信セグメント +2 セグメント)	3 セグメント帯域 (1.3MHz)	recvmd="2"	recvmd="3"	—
		recvmd="3", recvmdsel="1" (注2)		
音声連結送信 (3/1 セグメント混在)	8 セグメント帯域 (3.5MHz) (注1)	recvmd="2"	recvmd="3"	—
		recvmd="3", recvmdsel="1" (注2)		
TV 階層伝送 (部分受信セグメント +12 セグメント)	13 セグメント帯域 (5.7MHz)	recvmd="0", laysel="3h"	—	recvmd="0", laysel="0h"

注 1) 地上デジタル音声放送の VHF7ch(4MHz)の例

注 2) 入力信号セグメント数に応じて復調

名称	アドレス (HEX)	データ	R/W	初期値	内容
<code>recvmd</code> [1:0]	02	[7:6]	W	0x0	受信セグメントモード選択 0: TV 受信 (13 セグメント) 1: テスト (使用不可) 2: 音声受信 (1 セグメント) 3: 音声受信 (3 セグメント)
<code>segsel</code> [3:0]	02	[3:0]	W	0x0	音声受信時中心セグメントを設定 0 ~ 13
<code>recvmdsel</code>	EC	[3]	W	0x0	3 セグメント受信時の受信モード切替 0: 3 セグメント固定 1: 1 セグメント/3 セグメント自動切替
<code>laysel</code> [2:0]	71	[2:0]	W	0x0	指定階層をヌルパケットに置換 MSB [2]: 階層 A   2nd MSB [1]: 階層 B   LSB [0]: 階層 C 0: ヌルパケットに置換しない 1: ヌルパケットに置換する

### 9.3 スタンバイ機能

OFDM 復調回路の  $I^2C$  制御以外へのクロック供給を停止（スリープ状態）して消費電力を削減します。また、復調動作（ウェイクアップ状態）を間欠的に行うことで、消費電力を抑えつつ TMCC で伝送される緊急警報放送用起動制御信号を監視することもできます。スタンバイでは下記の 3 つのモードを選択することができます。

- (1) 常にスリープ状態として消費電力を削減
- (2) 間欠的にウェイクアップし緊急警報放送用起動制御信号を監視
- (3) 間欠的にウェイクアップし緊急警報放送用起動制御信号を監視し、さらに起動制御信号が検出されている間はスリープ状態を自動的に解除

いずれの場合も [レジスタ slpadc="1"にするとスリープ状態で AD 変換回路もパワーダウン](#) となり、さらに低消費電力にすることができます。

#### 9.3.1 常時スリープ

(1)のモードにするにはスリープ期間設定レジスタ slptim に"0"以外の値を設定し、さらにウェイクアップ期間設定レジスタ wuptim に"0"を設定します。

#### 9.3.2 起動制御信号の監視（起動制御なし）

(2)のモードにするには slpmd ="0"とし、slptim と wuptim の両方に"0"以外の値を設定します。スリープ状態とウェイクアップ状態が交互に繰り返され、起動制御信号を検知してもスリープ状態とウェイクアップ状態を繰り返します。

表 9.2 OFDM 復調のスタンバイ動作設定（起動制御なし）

slpmd ="0"		ウェイクアップ時間	
		wuptim="0"	wuptim≠"0"
スリープ時間	slptim="0"	常時ウェイクアップ	常時ウェイクアップ
	slptim≠"0"	常時スリープ	スリープとウェイクアップを交互に繰り返す

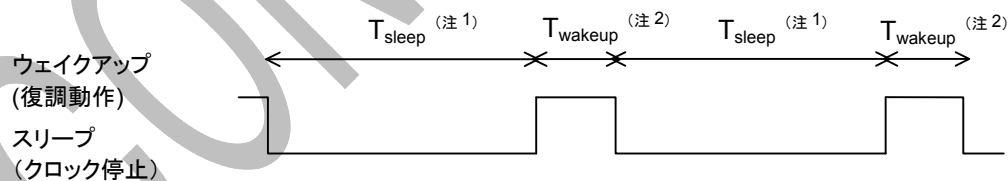


図 9.2 起動制御なしのスタンバイ動作

注1) スリープ期間  $T_{sleep}$  は次式となります。スリープさせるとき slptim は 1～7 で設定可能です。

$$T_{sleep} = T_{wakeup} \times 2^{slptim-1}$$

注2) ウェイクアップ期間  $T_{wakeup}$  は次式となります。ウェイクアップさせるとき wuptim は 1～15 で設定可能です。

$$T_{wakeup} = wuptim \times 2^{25} \times (1/MD)$$

## 9.3.3 起動制御信号の監視（起動制御あり）

(3)のモードにするには  $slpmd="1"$  とし、 $slptim$  と  $wuptim$  の両方に "0" 以外の値を設定します。緊急警報放送用起動制御信号が検出されている間はウェイクアップ状態が継続され、起動制御信号が検知されなくなるとスリープとウェイクアップを交互に繰り返す動作に戻ります。スリープとウェイクアップ期間設定レジスタとそれらの設定方法は起動制御なしの場合と同じです。

なお、レジスタ  $slpkmon="1"$  を設定すると、TS のいずれかの階層にエラーがないと判定された場合にのみ起動制御信号検知  $emerg="1"$  で復調動作を行うようにすることもできます。エラーの判定については 9.16.8 節を参照してください。

受信 TMCC データの緊急警報放送用起動フラグ  $emerg$  はレジスタ  $stdisb$  に "80h" を設定することにより端子 STSFLG0 から出力することができます。また、スリープ／ウェイクアップ状態はモニタレジスタ  $slpen$  に出力されるとともに端子 SLPEN に出力することもできます。（9.4 節を参照ください）

表 9.3 OFDM 復調のスタンバイ動作設定（起動制御あり）

$slpmd="1"$		ウェイクアップ時間	
		$wuptim="0"$	$wuptim \neq "0"$
スリープ時間	$slptim="0"$	常時ウェイクアップ	常時ウェイクアップ
	$slptim \neq "0"$	常時スリープ	スリープとウェイクアップを交互に繰り返し、起動制御信号検出期間中はウェイクアップ継続

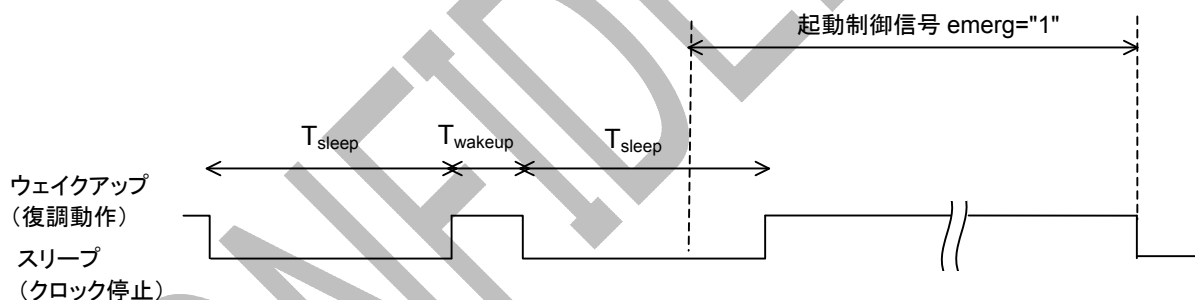


図 9.3 起動制御ありのスタンバイ動作

名称	アドレス (HEX)	データ	R/W	初期値	内容
$slpmd$	01	[3]	W	0x0	起動制御信号検出での動作設定 0: 起動制御信号 $emerg="1"$ で復調動作に復帰しない 1: 起動制御信号 $emerg="1"$ で復調動作に復帰する
$slpkmon$	01	[2]	W	0x0	起動制御ありでのウェイクアップ条件設定 0: 起動制御信号検知 ( $emgcy="1"$ ) で常に復調動作に復帰 1: 起動制御信号検知 ( $emgcy="1"$ ) で TS がエラーなしのときのみ復調動作に復帰 ( $slpmd=1, wuptim>0$ のときのみ有効)
$slpadc$	03	[7]	W	0x0	ADC パワーダウン設定 0: スリープ時に ADC パワーダウンしない 1: スリープ時に ADC パワーダウンする

slptim [2:0]	03	[6:4]	W	0x0	スリープ時間設定 0: スリープなしで復調動作 (slpmd, wuptim に依存しない) 1-7: スリープ時間 $((2^{\text{slptim}} - 1) \times \text{ウェイクアップ時間})$ (wuptim=0 の時はウェイクアップなし)
wuptim [3:0]	03	[3:0]	W	0x0	ウェイクアップ時間設定 0: 復調しない 1-15: ウェイクアップ時間 $(\text{wuptim} \times 2^{25} \times \text{MD 周期})$

CONFIDENTIAL

## 9.4 入出力切替

### 9.4.1 入力切替

#### (1) 差動入力形式とシングルエンド入力形式

ADC は差動またはシングルエンド入力です。いずれの場合も直流カットコンデンサを介して入力を接続します。シングルエンドの場合 **ADI\_AINP** 端子に入力し、**ADQ\_AINN** 端子は交流的にアナログ GND に接地してください。なお、**差動とシングルエンド切替でレジスタ設定の変更は必要ありません。**

#### (2) IF 入力と IQ ベースバンド入力

OFDM 復調の入力は IF 入力に加えて、ベースバンド直交信号 (IQ) で入力することもできます。IF 入力の場合は 6.5 節の設定方法を参照してください。

### 9.4.2 出力信号の端子切替

特定の出力端子は以下のとおり A 系統、B 系統、C 系統および D 系統にグループ分けされており、それぞれ出力信号を設定できます。

端子系統	端子番号									
	[9]	[8]	[7]	[6]	[5]	[4]	[3]	[2]	[1]	[0]
A 系統	H15	H14	D15	D14	E15	E14	F15	F12	G15	G14
B 系統	A9	B9	A10	B10	A11	B11	A12	B12	A13	B13
C 系統	A4	B4	A5	B5	A6	B6	A7	B7	A8	B8
D 系統	G1	G2	C1	C2	D1	D2	E1	E2	F1	F2

設定できる信号は下記のとおりです。

信号系統	信号名	機能
OFDM シリアル	SRCK	TS シリアルクロック出力
	SRDT	TS シリアルデータ出力
	RCKO	TS バイトクロック出力
	SBYTE	TS 同期バイトフラグ出力
	PBVAL	TS (パケット) バリッドフラグ出力
	RSEORF	RS 復号エラー (パケット) フラグ出力
	STSFLG1	ステータスレジスタ 1 出力
	STSFLG0	ステータスレジスタ 0 出力
	FLOCK	フレーム同期フラグ出力
	SLPEN	スリープ状態フラグ出力 ("1": ウェイクアップ)
OFDM パラレル	RLOCK	RS 復号エラーフリーフラグ
	RERR	RS 復号エラーフラグ
	RSOUT7	TS 復号データ 7 出力
	RSOUT6	TS 復号データ 6 出力
	RSOUT5	TS 復号データ 5 出力
	RSOUT4	TS 復号データ 4 出力
	RSOUT3	TS 復号データ 3 出力
	RSOUT2	TS 復号データ 2 出力
	RSOUT1	TS 復号データ 1 出力
	RSOUT0	TS 復号データ 0 出力



OFDM モニタ	RLOCKA	RS 復号の階層 A エラーフリーフラグ
	RLOCKB	RS 復号の階層 B エラーフリーフラグ
	RLOCKC	RS 復号の階層 C エラーフリーフラグ
	RERRA	RS 復号の階層 A エラーフラグ
	RERRB	RS 復号の階層 B エラーフラグ
	RERRC	RS 復号の階層 C エラーフラグ
	STSFLG1	ステータスレジスタ 1 出力
	STSFLG0	ステータスレジスタ 0 出力
	HSEL1	階層識別信号 1 出力
	HSEL0	階層識別信号 0

デフォルトでは、

A 系統端子には OFDM パラレル信号

B 系統端子には OFDM シリアル信号

が出力されています。（C 系統端子は PSK シリアル信号、D 系統端子は PSK パラレル信号です。また、OFDM モニタ信号はデフォルトでは出力設定されていません。）

レジスタ pinsla、pinslb、pinslc および pinsld を設定することで、これらの出力を変更できます。また、レジスタ pinsla、pinslb、pinslc および pinsld が"3"のときは PSK のレジスタによりこれらの出力を変更できます。（PSK レジスタについては 8.3 節を参照ください。）

端子 OEN により出力イネーブル／ディセーブル（High-Z またはプルダウン）の初期状態を切り替えることができます。OEN="0"のときイネーブル、OEN="1"のときディセーブルとなります。OEN 端子の設定は端子 SYRSTN が"0"から"1"に変化するとき（パワーオンリセット）および isyrst 設定時に IC 内部に取り込まれます。また、各出力信号に対応するレジスタを設定することにより、イネーブル／"High-Z" または"プルダウン"／"0"固定／"1"固定状態を個別に設定することが可能です。

なお、OEN 制御、レジスタによるイネーブル制御、極性反転制御は端子ではなく信号に対して行なわれるので、レジスタ pinsla、pinslb、pinslc および pinsld で端子の割当て変更を行なっても変更する必要はありません。

### 9.4.3 ステータスレジスタ

STSFLG1 および STSFLG0 信号にステータスレジスタ（アドレス 80h、81h）の内容を出力できます。

#### (1) ステータスレジスタ 1

ステータスレジスタ 1 は下記のステータス情報 8 ビットの中からイネーブル設定レジスタ（アドレス 05h）で選択された信号の論理和です。JSTSFLG1 信号はステータスレジスタ 1 と同じフラグが出力されます。

retryov:	同期引込シーケンスのリトライオーバーフラグ
alarm:	AGC の過大または過小レベルを示すアラーム
tmunvld:	TMCC が正しく取得できていないことを示すフラグ
mdunvld:	recvmd の設定が異常であることを示すフラグ
fulock:	OFDM フレーム同期が取得できていないことを示すフラグ
vulock:	ビタビ復号回路が異常（訂正動作不可）なことを示すフラグ
rulock:	TS 復号出力に規定以上のエラーがあることを示すフラグ
rseorf:	TS パケット出力にエラーがあることを示すフラグ

出力する信号はレジスタ stdisa[7:0]で選択します。また、STSFLG 出力極性は stinva[7:0]により切替可能です。また、STSFLG1 信号はレジスタ stmda により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ stmda に任意の値を再設定することにより STSFLG1 信号は"0"にリセットされます。

## (2) ステータスレジスタ 0

ステータスレジスタ 0 は下記のステータス情報 5 ビットの中からイネーブル設定レジスタ（アドレス 06h）で選択された信号の論理和です。JSTSFLG0 信号はステータスレジスタ 0 と同じフラグが出力されます。

emerg: 緊急警報放送用起動フラグが立っていることを示すフラグ  
 tmcchg: TMCC 変更カウンタダウン発生していることを示すフラグ  
 cdunvld: TMCC カウンタダウン前後のマスク期間を示すフラグ  
 slpen: スタンバイ動作でのウェイクアップ状態を示すフラグ  
 STSFLG1: ステータスレジスタ 1 の結果を示すフラグ (stdisa で選択したステータスレジスタのみ)

出力する信号はレジスタ stdisb[7:4]で選択します。また、STSFLG 出力極性は stinvb[7:4]により切替可能です。また、STSFLG0 信号はレジスタ stmdb により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ stmdb に任意の値を再設定することにより STSFLG0 信号は"0"にリセットされます。

### 9.4.4 エラーフリーフラグ

出力 TS のエラーフリーまたはエラーフラグを端子出力できます。

RLOCK: RS 復号エラーフリーフラグ  
 RERR: RS 復号エラーフラグ

また、下記の階層ごとのフラグを OFDM モニタ信号系統として端子出力することもできます。

RLOCKA/RLOCKB/RLOCKC: 階層ごとの RS 復号エラーフリーフラグ  
 RERRA/RERRB/RERRC: 階層ごとの RS 復号エラーフラグ

これらのフラグはレジスタ rlmd により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ rlmd に任意の値を再設定することにより各信号は"0"にリセットされます。各信号の詳細については 9.15.8 節を参照してください。

### 9.4.5 フレーム同期フラグ

FLOCK 信号として ISDB-T 信号の OFDM フレーム同期が検出されたことを示すフラグを出力できます。

フレーム同期フラグ出力 FLOCK はレジスタ flmd により"0"→"1"または"1"→"0"の変化点で"1"となるように出力形式を選択できます。なお、レジスタ flmd に任意の値を再設定することにより FLOCK 信号は"0"にリセットされます。

### 9.4.6 階層識別フラグ

レジスタ hselout="1"で RLOCK/RERR 信号を下記の階層識別信号 HSEL1 と HSEL0 に切り替えることができます。HSEL1 が上位ビット、HSEL0 が下位ビットとして、下記のように階層とヌルをパケットごとに識別できます。

レジスタ hselout="1"での階層識別フラグ出力

HSEL1 (RLOCK 端子)	HSEL0 (RERR 端子)	階層識別内容
0	0	A 階層パケット
0	1	B 階層パケット
1	0	C 階層パケット
1	1	ヌルパケット

名称	アドレス (HEX)	データ	R/W	初期 値	内容
stdisa [7:0]	05	[7:0]	W	0x00	STSFLG1 出力設定 STSFLG1 に出力するステータスレジスタ の有効 / 無効をビット毎に設定します。 [7] retryov [6] alarm [5] tmunvld [4] mdunvld [3] fulock [2] vulock [1] rulock [0] rseorf 0:ディセーブル 1:イネーブル
stdisb [7:3]	06	[7:3]	W	0x0	STSFLG0 出力設定 STSFLG0 に出力するステータスレジスタ の有効 / 無効をビット毎に設定します。 [7] emerg [6] tmcchg [5] cdunvld [4] slpen [3] STSFLG1(stdisa で選択したステータ スレジスタのみ) 0:ディセーブル 1:イネーブル
stinva [7:0]	07	[7:0]	W	0x0	STSFLG1 出力極性反転 STSFLG1 に出力するステータスレジスタ の極性をビット毎に切り替えます。ビット 配分は stdisa と同じです。 0:非反転 1:反転
stinvb [7:3]	08	[7:3]	W	0x0	STSFLG0 出力極性反転 STSFLG0 に出力するステータスレジスタ の極性をビット毎に切り替えます。ビット 配分は stdisb と同じです。 0:非反転 1:反転
stmda [1:0]	0C	[7:6]	W	0x0	STSFLG1 出力モード設定 STSFLG1[1]に出力するステータスレジ スタの出力モード 0:通常 (条件発生で"1") 1:0 から 1 の変化点で"1" 2:1 から 0 の変化点で"1" 3:0 から 1 および 1 から 0 の変化点で"1" (0 以外の書き込みでフラグがリセットされ ます)
stmdb [1:0]	0C	[5:4]	W	0x0	STSFLG0 出力モード設定 STSFLG0[0]に出力するステータスレジ スタの出力モード 0:通常 (条件発生で"1") 1:0 から 1 の変化点で"1" 2:1 から 0 の変化点で"1" 3:0 から 1 および 1 から 0 の変化点で"1" (0 以外の書き込みでフラグがリセットされ ます)
flmd [1:0]	0C	[3:2]	W	0x0	FLOCK 出力モード 0:通常 (条件発生で"1") 1:0 から 1 の変化点で"1" 2:1 から 0 の変化点で"1" 3:0 から 1 および 1 から 0 の変化点で"1" (0 以外の書き込みでフラグがリセットされ ます)

rlmd [1:0]	0C	[1:0]	W	0x0	RLOCK/RERR 出力モード 0: 通常 (条件発生で"1") 1: 0 から 1 の変化点で"1" 2: 1 から 0 の変化点で"1" 3: 0 から 1 および 1 から 0 の変化点で"1" (0 以外の書き込みでフラグがリセットされます)
pinsld [1:0]	0F	[7:6]	W	0x3	D 系統出力ピン出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinslc [1:0]	0F	[5:4]	W	0x3	C 系統出力ピン出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinslb [1:0]	0F	[3:2]	W	0x1	B 系統出力ピン出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
pinsla [1:0]	0F	[1:0]	W	0x0	A 系統出力ピン出力信号選択 0: OFDM パラレル TS 信号を出力 1: OFDM シリアル TS 信号を出力 2: OFDM モニタ信号を出力 3: PSK 信号を出力
agccntioen [1:0]	1C	[7:6]	W	OEN	AGCCNTI 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
agccntroen [1:0]	1C	[5:4]	W	OEN	AGCCNTR 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": ディセーブル (3 ステート出力バッファは High-Z 状態、プルダウンあり) 2:"0"固定 3:"1"固定
stsflg1oen [1:0]	1C	[3:2]	W	OEN	STSFLG1 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
stsflg0oen [1:0]	1C	[1:0]	W	OEN	STSFLG0 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
rlockoen [1:0]	1D	[7:6]	W	OEN	RLOCK 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
rerroen [1:0]	1D	[5:4]	W	OEN	RERR 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z

					2:"0"固定 3:"1"固定
rsoutoen [1:0]	1D	[3:2]	W	OEN	RSOUT 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
hselout	1D	[0]	W	0x0	RLOCK,RERR/HSEL 切替 0: RLOCK,RERR 出力 1: HSEL1,HSEL0 出力 HSEL[1:0]= 0: A 階層パケット 1: B 階層パケット 2: C 階層パケット 3: ヌルパケット(伝送ヌル パケットを除く)
flockoen [1:0]	1E	[7:6]	W	OEN	FLOCK 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
slpenoen [1:0]	1E	[5:4]	W	OEN	SLPEN 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
sroen [1:0]	1E	[3:2]	W	OEN	SRCK/SRDT 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
rsckoen [1:0]	1E	[1:0]	W	OEN	RSCKO 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
sbyteoen [1:0]	1F	[7:6]	W	OEN	SBYTE 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
pbvaloen [1:0]	1F	[5:4]	W	OEN	PBVAL 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定
rseorfoen [1:0]	1F	[3:2]	W	OEN	RSEORF 信号出力制御 0 または OEN="0": イネーブル 1 または OEN="1": High-Z 2:"0"固定 3:"1"固定

※ OEN : パワーオンリセット時およびレジスタによる isyrst リセット時の OEN 端子設定で決定されます。

## 9.5 クロック設定

### 9.5.1 クロック周波数オフセット補正

データのリサンプリングに必要なマスタクロック周波数とデータ周波数の比を事前に設定するため、下記の式で計算される値（小数点以下切り捨て）をレジスタ `hkfrq[15:0]` に設定します。なお、標準の周波数を用いる場合は **XSEL1** と **XSEL0** によって自動的に設定されるので **hkfrq** の設定は不要です。詳細は 6.5 節および 10 章を参照してください。

#### (1) 57MHz IF モード (XT=25MHz)

$$\text{hkfrq} = (\text{XT} \times 3 / \text{FS} - 1) \times 2^{16} \quad (\text{式 9-5-1})$$

FS : データ周波数 [MHz] (= 65.015873)  
XT : 基準クロック周波数 [MHz] (MD=3XT)

#### (2) 57MHz IF モード (XT=20MHz)

$$\text{hkfrq} = (\text{XT} \times 4 / \text{FS} - 1) \times 2^{16} \quad (\text{式 9-5-2})$$

FS : データ周波数 [MHz] (= 65.015873)  
XT : 基準クロック周波数 [MHz] (MD=4XT)

#### (3) 4MHz IF モードおよび IQ ベースバンドモード (XT=4MHz)

$$\text{hkfrq} = (\text{MD} / \text{FS} - 1) \times 2^{16} \quad (\text{式 9-5-3})$$

FS : データ周波数 [MHz] (=65.015873)  
MD : マスタクロック周波数 [MHz]

hkfrq は正の数値です。計算例は次節を参照してください。

### 9.5.2 クロック周波数制御範囲

レジスタ `hkncog[1:0]` によりクロック周波数の制御範囲を設定できます。周波数制御範囲の絶対値  $|\Delta f / f|$  は次式で計算されます。

$$|\Delta f / f| = (1 - (\text{hkfrq} + 2^{16}) / (\text{hkfrq} + 2^{(5 - \text{hkncog})} + 2^{16})) \times 10^6 \text{ [ppm]} \quad (\text{式 9-5-4})$$

TC90512 がクロック引込可能な周波数制御範囲は正負の範囲となります。計算例を以下に示します。

#### 例 1) 57MHz IF モード (XT=25.400MHz) の場合

XSEL1= 0  
XSEL0= 0  
iexdiv= 0Bh (11).....XSEL1,0 で自動的に設定  
ilpdiv = 21h (33).....XSEL1,0 で自動的に設定  
MD = 76.200MHz  
hkfrq = 2C0Ah (11,274).....XSEL1,0 で自動的に設定  
 $\Delta f / f = \pm 416 \text{ ppm}$  (hkncog = 0)  
=  $\pm 208 \text{ ppm}$  (hkncog = 1).....初期値  
=  $\pm 104 \text{ ppm}$  (hkncog = 2)  
=  $\pm 52 \text{ ppm}$  (hkncog = 3)

#### 例 2) 57MHz IF モード (XT=20.500MHz) の場合

XSEL1= 0  
XSEL0= 1  
iexdiv = 08h (8) .....XSEL1,0 で自動的に設定  
ilpdiv = 20h (32) .....XSEL1,0 で自動的に設定

MD = 82.000MHz  
hkfrq = 42E0h (17,120) .....XSEL1,0 で自動的に設定  
 $\Delta f / f = \pm 387\text{ppm}$  (hkncog = 0)  
=  $\pm 194\text{ppm}$  (hkncog = 1) .....初期値  
=  $\pm 97\text{ppm}$  (hkncog = 2)  
=  $\pm 48\text{ppm}$  (hkncog = 3)

例 3) 4MHz IF モードまたは IQ ベースバンドモード (XT=4MHz) の場合

XSEL1 = 1  
XSEL0 = 0  
iexdiv = 02 h (2) .....XSEL1,0 で自動的に設定  
ilpdiv = 27h (39) .....XSEL1,0 で自動的に設定  
MD = 78.000MHz  
hkfrq = 3320h (13,088) .....XSEL1,0 で自動的に設定  
 $\Delta f / f = \pm 406\text{ppm}$  (hkncog = 0)  
=  $\pm 203\text{ppm}$  (hkncog = 1) .....初期値  
=  $\pm 101\text{ppm}$  (hkncog = 2)  
=  $\pm 51\text{ppm}$  (hkncog = 3)

hkncog="1" (初期値) としておくと、ほぼ $\pm 200\text{ppm}$  のクロック周波数偏差を引き込むことができます。ただし、レジスタ hkncog はクロック制御ループフィルタ上限値の設定です。上記の $\Delta f / f$ はその上限値を周波数ずれに換算した値ですので、クロック周波数誤差を検出可能な範囲とは必ずしも一致しません。特に hkncog="0"とした場合の実際に引込可能なクロック周波数ずれは上記の数値より狭くなります。通常は hkncog="1"とし、そのときの $\Delta f / f$ をクロック周波数ずれ引込範囲とみなしてください。

名称	アドレス (HEX)	データ	R/W	初期値	内容
ilpdiv [5:0]	11	[5:0]	W	XSEL	クロック分周比(ローカル側)設定 分周比 n n=1~63
iexdiv [5:0]	12	[5:0]	W	XSEL	クロック分周比(外部基準側)設定 分周比 n n=1~63
hkfrq [15:8]	13	[7:0]	W	XSEL	サンプリングクロック周波数比設定 57MHz IF/XT=25MHz : $\text{hkfrq} = (\text{XT} \times 3 / \text{FS} - 1) \times 2^{16}$ 57MHz IF/XT=20MHz : $\text{hkfrq} = (\text{XT} \times 4 / \text{FS} - 1) \times 2^{16}$ 4MHz IF/XT=4MHz : $\text{hkfrq} = (\text{MD} / \text{FS} - 1) \times 2^{16}$ IQ/XT=4MHz : $\text{hkfrq} = (\text{MD} / \text{FS} - 1) \times 2^{16}$ FS : データ周波数 [MHz] (=65.015873) MD : マスタクロック周波数 [MHz] XT : 規準クロック周波数 [MHz] ※0x40 以上の値を設定すること。
hkfrq [7:0]	14	[7:0]	W	XSEL	
hkncog [1:0]	15	[7:6]	W	0x1	クロック周波数制御範囲設定 $\Delta f / f = (1 - (\text{hkfrq} + 2^{16}) / (\text{hkfrq} + 2^{(5 - \text{hkncog})} + 2^{16})) \times 10^6$ [ppm] 0: $\times 1$ ( $\pm 400\text{ppm}$ ) 1: $\times 1/2$ ( $\pm 200\text{ppm}$ ) 2: $\times 1/4$ ( $\pm 100\text{ppm}$ ) 3: $\times 1/8$ ( $\pm 50\text{ppm}$ )

※初期値に XSEL と記載されているものは、端子 XSEL1 と XSEL0 の設定によって規定値が初期値となります。  
詳細は 6.5 節および 10 章を参照してください。

## 9.6 クロック再生

TC90512 はクロック再生として AFC および PLL を備え、それぞれループ利得を段階的に切り替えることで高速かつ安定な引込動作を行っています。ループ利得の切替はシーケンサが自動的に行うので外部からの制御は不要です。

### 9.6.1 ループ利得切替

AFC ループは 2 重時定数です。また、狭帯域受信（1 あるいは 3 セグメント受信）モードの PLL では 3 段階にループ利得を切り換えます。

- ・ AFC の第 1 のループ利得はレジスタ clkg\_h に設定します。
- ・ AFC の第 2 のループ利得はレジスタ clkg\_l に設定します。
- ・ 広帯域受信モードでの PLL ループ利得はレジスタ ckpldwg および ckpliwg に設定します。
- ・ 狭帯域受信モードでの PLL の第 1 ループ利得はレジスタ ckpld1g および ckpli1g に設定します。
- ・ 狭帯域受信モードでの PLL の第 2 ループ利得はレジスタ ckpld2g および ckpli2g に設定します。
- ・ 狭帯域受信モードでの PLL の第 3 ループ利得はレジスタ ckpld3g および ckpli3g に設定します。

なお、安定な動作とするためにはこれらのループ利得を個別に設定することはできません。適切に関連付けて設定する必要があります。

### 9.6.2 周波数誤差モニタ

レジスタ clkafc\_dt にクロック周波数誤差を出力します。周波数誤差は次式で計算されます。

$$\Delta f / f = (1 - (hkfrq + 2^{16}) / (hkfrq + clkafc\_dt \times 2^{(-10-hkncog) + 2^{16}})) \times 10^6 [\text{ppm}] \quad (\text{式 } 9-6-1)$$

clkafc\_dt は 2 の補数形式 16bit のデータです。正の場合は入力信号周波数が TC90512 のクロック周波数より相対的に高いことを示します。負の場合はその逆です。

名称	アドレス (HEX)	データ	R/W	初期値	内容
clkg_h [1:0]	17	[7:6]	W	0x1	クロック再生 AFC 第 1 引込利得設定 クロック AFC 第 1 引込動作におけるループ利得を設定します。設定値を 1 増やすと利得は 1/2 倍になります。 0:利得最大 ~ 3:利得最小
clkg_l [1:0]	17	[5:4]	W	0x3	クロック再生 AFC 第 2 引込利得設定 クロック AFC 第 2 引込動作におけるループ利得を設定します。設定値を 1 増やすと利得は 1/2 倍になります。 0:利得最大 ~ 3:利得最小
ckpliwg [2:0]	18	[5:3]	W	0x6	クロック PLL 積分系利得設定（広帯域受信モード） 広帯域受信モード時における PLL フィルタの積分系利得を設定します。 0:利得最大 $\beta$ 1:利得 $\beta / 2^4$ 2:利得 $\beta / 2^6$ 3:利得 $\beta / 2^8$ 4:利得 $\beta / 2^{10}$ 5:利得 $\beta / 2^{12}$ 6:利得 $\beta / 2^{14}$ 7:利得最小 $\beta / 2^{16}$



ckpli1g [2:0]	18	[2:0]	W	0x1	<p>クロック PLL 積分系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの第 1 の引き込み動作時における PLL フィルタの積分系利得を設定します。</p> <p>0:利得最大 <math>\beta</math></p> <p>1:利得 <math>\beta / 2^4</math></p> <p>2:利得 <math>\beta / 2^6</math></p> <p>3:利得 <math>\beta / 2^8</math></p> <p>4:利得 <math>\beta / 2^{10}</math></p> <p>5:利得 <math>\beta / 2^{12}</math></p> <p>6:利得 <math>\beta / 2^{14}</math></p> <p>7:利得最小 <math>\beta / 2^{16}</math></p>
ckpli2g [2:0]	19	[5:3]	W	0x2	<p>クロック PLL 積分系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの第 2 の引き込み動作時における PLL フィルタの積分系利得を設定します。</p> <p>0:利得最大 <math>\beta</math></p> <p>1:利得 <math>\beta / 2^4</math></p> <p>2:利得 <math>\beta / 2^6</math></p> <p>3:利得 <math>\beta / 2^8</math></p> <p>4:利得 <math>\beta / 2^{10}</math></p> <p>5:利得 <math>\beta / 2^{12}</math></p> <p>6:利得 <math>\beta / 2^{14}</math></p> <p>7:利得最小 <math>\beta / 2^{16}</math></p>
ckpli3g [2:0]	19	[2:0]	W	0x3	<p>クロック PLL 積分系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの定常時における PLL フィルタの積分系利得を設定します。</p> <p>0:利得最大 <math>\beta</math></p> <p>1:利得 <math>\beta / 2^4</math></p> <p>2:利得 <math>\beta / 2^6</math></p> <p>3:利得 <math>\beta / 2^8</math></p> <p>4:利得 <math>\beta / 2^{10}</math></p> <p>5:利得 <math>\beta / 2^{12}</math></p> <p>6:利得 <math>\beta / 2^{14}</math></p> <p>7:利得最小 <math>\beta / 2^{16}</math></p>
ckpldwg [2:0]	1A	[5:3]	W	0x6	<p>クロック PLL 直接系利得設定 (広帯域受信モード)</p> <p>広帯域受信モード時における PLL フィルタの直接系利得を設定します。</p> <p>0:利得最大 <math>\alpha</math></p> <p>1:利得 <math>\alpha / 2^2</math></p> <p>2:利得 <math>\alpha / 2^3</math></p> <p>3:利得 <math>\alpha / 2^4</math></p> <p>4:利得 <math>\alpha / 2^5</math></p> <p>5:利得 <math>\alpha / 2^6</math></p> <p>6:利得 <math>\alpha / 2^7</math></p> <p>7:利得最小 <math>\alpha / 2^8</math></p>
ckpld1g [2:0]	1A	[2:0]	W	0x1	<p>クロック PLL 直接系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの第 1 の引き込み動作時における PLL フィルタの直接系利得を設定します。</p> <p>0:利得最大 <math>\alpha</math></p> <p>1:利得 <math>\alpha / 2^2</math></p> <p>2:利得 <math>\alpha / 2^3</math></p> <p>3:利得 <math>\alpha / 2^4</math></p> <p>4:利得 <math>\alpha / 2^5</math></p> <p>5:利得 <math>\alpha / 2^6</math></p> <p>6:利得 <math>\alpha / 2^7</math></p> <p>7:利得最小 <math>\alpha / 2^8</math></p>

ckpld2g [2:0]	1B	[5:3]	W	0x2	<p>クロック PLL 直接系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの第 2 の引き込み動作時における PLL フィルタの直接系利得を設定します。</p> <p>0:利得最大 <math>\alpha</math></p> <p>1:利得 <math>\alpha / 2^2</math></p> <p>2:利得 <math>\alpha / 2^3</math></p> <p>3:利得 <math>\alpha / 2^4</math></p> <p>4:利得 <math>\alpha / 2^5</math></p> <p>5:利得 <math>\alpha / 2^6</math></p> <p>6:利得 <math>\alpha / 2^7</math></p> <p>7:利得最小 <math>\alpha / 2^8</math></p>
ckpld3g [2:0]	1B	[2:0]	W	0x3	<p>クロック PLL 直接系利得設定 (狭帯域受信モード)</p> <p>狭帯域受信モードの定常動作時における PLL フィルタの直接系利得を設定します。</p> <p>0:利得最大 <math>\alpha</math></p> <p>1:利得 <math>\alpha / 2^2</math></p> <p>2:利得 <math>\alpha / 2^3</math></p> <p>3:利得 <math>\alpha / 2^4</math></p> <p>4:利得 <math>\alpha / 2^5</math></p> <p>5:利得 <math>\alpha / 2^6</math></p> <p>6:利得 <math>\alpha / 2^7</math></p> <p>7:利得最小 <math>\alpha / 2^8</math></p>
clkafc_dt [15:8]	86	[7:0]	R	0xXX	<p>クロック周波数誤差モニタ出力</p> <p>クロック周波数誤差を表します。(2 の補数形式)</p>
clkafc_dt [7:0]	87	[7:0]	R	0xXX	

## 9.7 AGCとデジタルフィルタ

TC90512 はチューナでの AGC 制御信号を出力します。IF AGC 制御信号だけでなく、RF AGC と IF AGC 制御信号を両方出力することもできます。両方の AGC 制御信号を出力する場合はチューナ NF を最適とするようにディレイ制御（規定の入力レベルまでは RF AGC を最大利得とするように制御）を行います。また、[TC90512 にチューナ歪み信号（S\\_INFO 信号）を入力することでディレイ制御を適応的に制御することもできます。](#)

さらに、TC90512 には隣接チャンネル妨害を抑圧するためのデジタルフィルタが内蔵されていますが、フィルタリングによる信号レベルの変動を制御するデジタル AGC も内蔵されています。

### 9.7.1 チューナAGC制御

チューナの AGC 制御方法として、「RF\_AGC/IF\_AGC 切替制御モード」と「IF\_AGC 制御モード」の 2 つに対応しています。

AGC 制御信号は AGCCNTR および AGCCNTI 端子より出力されます。初期設定では利得誤差が正（入力レベルが基準より大きい）のとき"0"期間が多く、利得誤差が負（入力レベルが基準より小さい）のとき"1"期間が多くなります。この極性はレジスタ rfagc\_inv および ifagc\_inv を"1"に設定することにより反転できます。

#### (1) RF\_AGC / IF\_AGC 切替制御モード

RF\_AGC/IF\_AGC 切替制御モードはレジスタ rfif = "0"で設定します。

このモードは RF\_AGC 制御出力と IF\_AGC 制御出力の両方を使用して復調 IC の入力信号レベルを一定に保つよう制御します。RF 入力信号レベルに応じて RF\_AGC と IF\_AGC を切り替えるディレイ AGC であり、RF\_AGC と IF\_AGC の切替レベルはディレイポイント（RF/IF 切替点）設定レジスタ delayp で設定します。ディレイポイントは使用するチューナに合わせて NF と歪の観点から最適となる値をストレートバイナリ形式で設定してください。（図 9.4 参照）

RF\_AGC の制御出力の初期値は rf\_max 設定値、IF\_AGC の制御出力の初期値は delayp 設定値です。いずれも復調リセット時に初期化されます。

#### (2) IF\_AGC 制御モード

IF\_AGC 制御モードはレジスタ rfif = "1"で設定します。

IF\_AGC 制御モードはチューナ側で RF\_AGC 制御を行なう場合のもので、IF\_AGC 制御出力のみとなります。TC90512 の RF\_AGC 制御出力は"0"に固定され、delayp 設定は IF\_AGC 下限としてのみ機能します。

IF\_AGC 制御モードの AGC 制御出力初期値はレジスタ ifmgc で設定した値で復調リセット時に初期化されます。ただし、delayp 設定値より小さい値を設定した場合は下限値である delayp で制限されます。

#### (3) ディレイポイント（RF / IF 切替点）delayp 設定

ディレイポイントは RF\_AGC/IF\_AGC 切替制御モードにおいて RF\_AGC と IF\_AGC の切替点です。IF\_AGC 制御出力（出力端子 AGCCNTI）のフルレンジを 8bit ストレートバイナリ形式で表したときに、IF\_AGC 制御レベルの下限値をレジスタ delayp に設定します。

なお、rfif = "1"のときも delayp 設定は IF\_AGC 下限として機能します。復調リセット後に ifagc\_dt より小さい値を delayp に設定すると AGC 動作点が IF\_AGC 下限値よりも小さくなり制御動作が破綻します。

[rfif の設定によらず、delayp を設定した後に必ず復調リセットを行うようにしてください。](#)

#### (4) AGC 制御範囲リミタ機能

AGC 制御範囲の上限値（入力信号レベル過小のときのリミット値）および下限値（入力信号レベル過大のときのリミット値）をそれぞれ設定することができます。RF\_AGC 制御範囲の上限値はレジスタ rf\_max に、下限値はレジスタ rf\_min に設定します。また、IF\_AGC 制御範囲の上限値はレジスタ if\_max に、下限値はレジスタ delayp に設定します。

## (5) 受信レベルアラーム機能

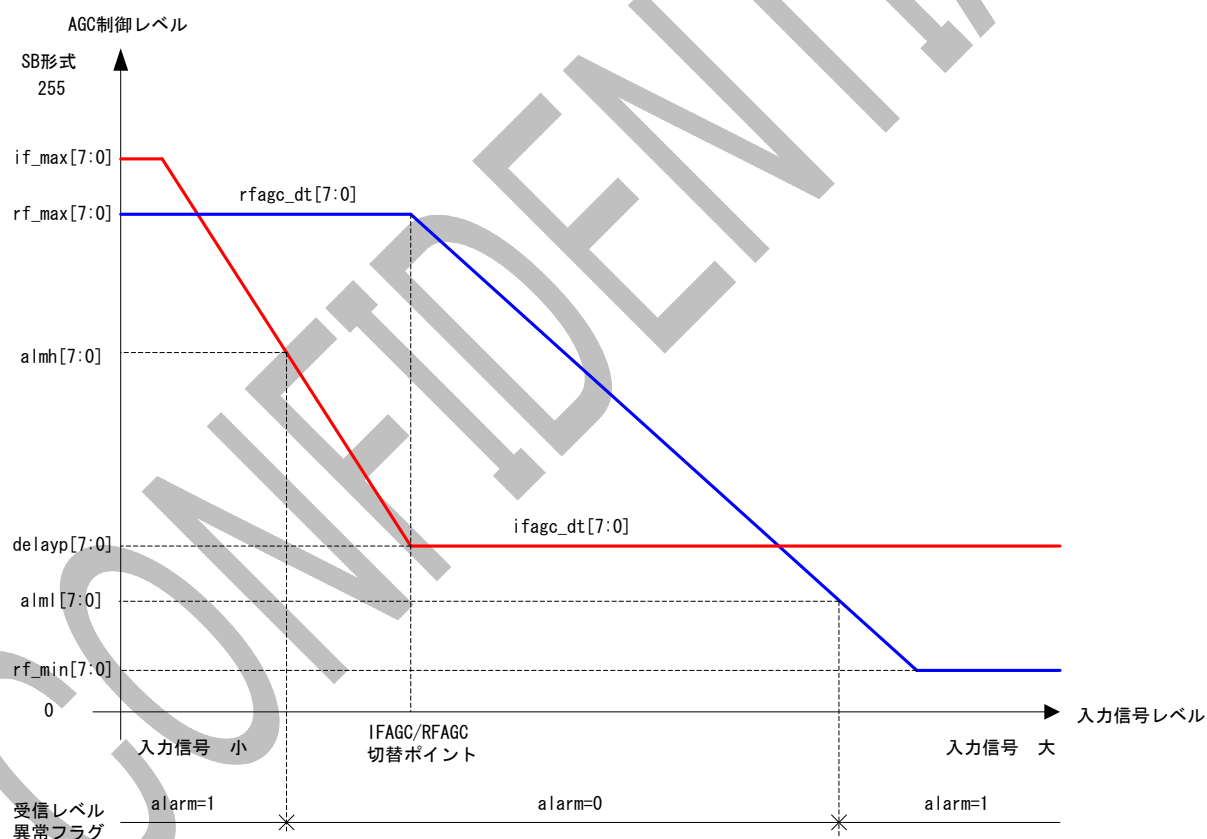
RF 入力信号の受信レベル異常（過大入力レベルおよび過小入力レベル）を検出して受信レベル異常フラグのレジスタ alarm に"1"を出力します。受信レベル異常の判定レベルは almh および alml に設定することができます。

RF\_AGC/IF\_AGC 切替制御モードでは過小入力時の判定は判定閾値と IF\_AGC 制御レベルとを比較して行い、過大入力時は RF\_AGC 制御レベルと比較して判定します。

一方、IF\_AGC 制御モードでは過小入力および過大入力時ともに IF\_AGC 制御レベルと比較して判定します。ただし、RF\_AGC が外部で行われているときは RF 入力の過大判定はできません。

## (6) AGC 制御レベルモニタ

レジスタ ifagc\_dt に IF\_AGC の制御量（IF\_AGC 出力）を出力します。また、レジスタ rfagc\_dt に RF\_AGC の制御量（RF\_AGC 出力）を出力します。いずれもパルス形式なので、外部に LPF を用いて十分に高調波成分を抑圧してください。



AGC 制御動作説明図 (RFAGC/IFAGC 切替制御モード)

図 9.4 AGC 動作説明図

### (7) AGC 制御特性の補正

非線形な制御感度を有する AGC 増幅器は復調 IC の AGC 誤差検出感度が一定でも AGC ループ利得が一定にならずループ応答が設定しにくい場合があります。TC90512 は AGC 制御感度の非線形を近似的に補正するように利得を切り替えることができます。

図に示すように、IF と RF でそれぞれ ifthd または rftthd を変化点にして 2 つの利得 (ifagcg と ifagcg × ifsch、または rfagcg と rfagcg × rfsch) を切り替えることができます。これらが AGC 制御感度の非線形特性を直線近似したものであれば、総合の利得であるループ利得はほぼ一定になります。

利得切替点の設定レジスタ ifthd (または rftthd) は AGC 制御信号フルレンジを 16 レベルとして設定します。切替点以下の制御利得はそれぞれ ifagcg と rfagcg、切替点以上の利得はそれぞれ ifagcg × ifsch または rfagcg × rfsch になります。ifsch と rfsch は 4 段階 (×8, ×4, ×2, ×1) の設定ができます。

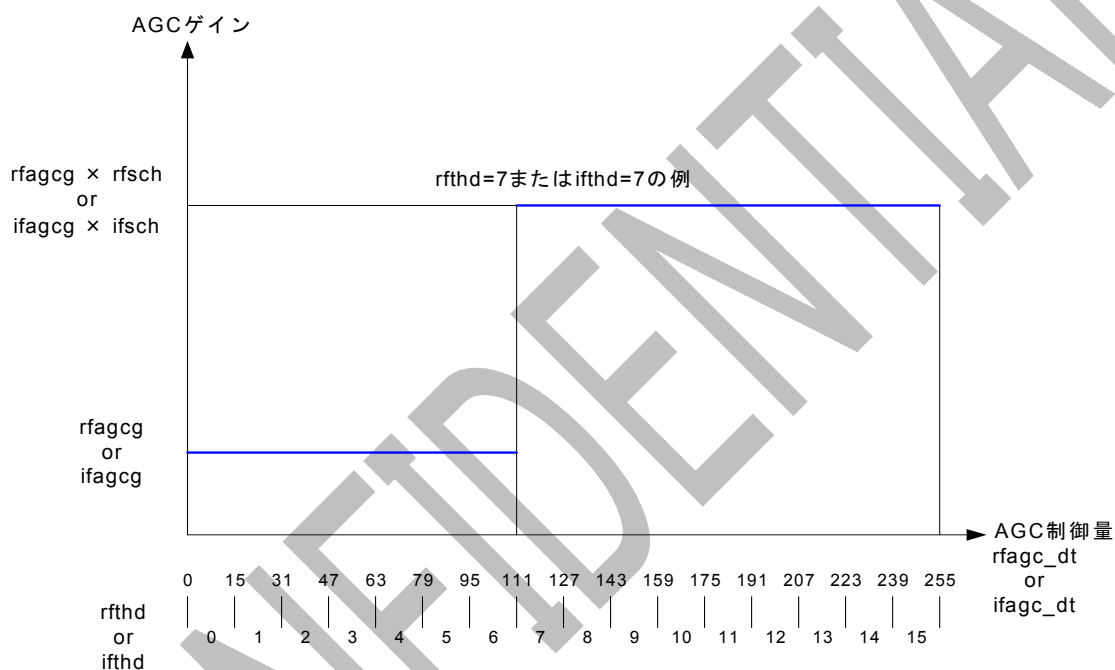


図 9.5 AGC 制御特性の補正

### (8) スタンバイ動作時の AGC 制御

スタンバイ動作のスリープ状態では AGCCNTI 端子および AGCCNTR 端子は"0"に固定されます。ただし、レジスタ ifagc\_inv およびレジスタ rfagc\_inv で出力極性反転している場合は、スリープ状態での出力も反転されます。

#### 9.7.2 AGCパススルー機能

レジスタ agcthr="1"を設定すると、端子 AGCI に入力された信号を端子 AGCCNTI にスルーして出力することができます。他のデジタル AGC 制御信号を TC90512 の AGC 制御出力に代えて出力する場合に有効です。(アナログ AGC 信号を入力することはできません。)

## 9.7.3 デジタルフィルタ

TC90512 はデジタルフィルタを内蔵しており、隣接チャンネル妨害などの帯域外不要成分を抑圧します。複数の IF 周波数と基準クロック周波数に対応しているため、これらの設定に合わせてデジタルフィルタ特性を選択できるようになっており、レジスタ lpfsi で下記の 4 種類のフィルタから選択できます。

なお、lpfsi は 4MHz IF の XT=27MHz モードを除いて、端子 XSEL1 および XSEL0 で自動的に設定されるので通常は設定する必要はありません。ただし、マスタクロック周波数が標準的な周波数と異なる場合は、マスタクロック周波数に合わせて lpfsi を設定してください。

表 9.4 隣接チャンネル妨害抑圧デジタルフィルタの係数切替

lpfsi	動作モード	マスタクロック周波数[MHz]
0	4MHz IF および IQ 動作	78MHz
1	44MHz IF(XT=19MHz)モード動作 <sup>(注)</sup>	77.208 ~ 79.296
2	57MHz IF(XT=20MHz)モード動作	81.868 ~ 83.000
3	57MHz IF(XT=25MHz)モード動作	76.157 ~ 78.333

(注) 44MHz IF などの周波数で使用する場合はレジスタの個別設定が必要です。

## 9.7.4 デジタルAGC

TC90512 にはデジタル AGC が内蔵されています。デジタル AGC の動作状態（自動設定された利得）はレジスタ dagc\_dt にて読み出すことができます。dagc\_dt は 2 の補数形式のデータであり、正で利得大、負で利得小となります。（デジタル AGC 利得が 1 の通常状態では dagc\_dt="00h"です。）

名称	アドレス (HEX)	データ	R/W	初期値	内容
delayp [7:0]	20	[7:0]	R/W	0x00	ディレイポイント（RF/IF 切替点）設定 IF_AGC 制御レベルを SB 形式で設定します。
rf_max [7:0]	21	[7:0]	W	0xFF	RF_AGC 最大クリップレベル設定 レベル小のときの RF_AGC リミット値を SB 形式で設定します。 FF: 最大 ~ 00: 最小
rfif	22	[7]	W	0x1	AGC 制御方法切替 AGC 制御の動作モードを切り替えます。 0: RF_AGC/IF_AGC 切替制御モード 1: IF_AGC 制御モード
agcthr	22	[4]	W	0x0	AGC パススルー ON/OFF 切替 0:OFF 1:ON
agdacnt [1:0]	22	[3:2]	W	0x0	IF/RF_AGC 1bit DAC 最高周波数レート制限設定 スイッチング頻度を低減します。 0: 1(制限なし) 1: 1/2 2: 1/4 3: 1/8
agdack [1:0]	22	[1:0]	W	0x0	IF/RF_AGC 1bit DAC 動作クロック設定 0: 32MHz 1: 16MHz 2: 8MHz 3: 4MHz
ifagcg1 [2:0]	23	[7:5]	W	0x2	IF_AGC ループ利得設定（引込） 0: 利得最大 ~ 7: 利得最小
ifagcg2 [2:0]	23	[4:2]	W	0x3	IF_AGC ループ利得設定（定常） 0: 利得最大 ~ 7: 利得最小
ifagc_inv	23	[1]	W	0x0	IF_AGC 制御 AGCCNTI 出力極性反転 IF_AGC 制御信号極性を反転します。 0: 入力レベル大のとき AGCCNTI 出力 L の期間 > H の期間 入力レベル小のとき AGCCNTI 出力 L の期間 < H の期間 1: 入力レベル大のとき AGCCNTI 出力 H の期間 > L の期間 入力レベル小のとき AGCCNTI 出力 H の期間 < L の期間

ifmgcon	23	[0]	W	0x0	IF_AGC 利得制御マニュアル設定選択 AGC と MGC の動作を切り替えます。 0: 自動制御 (AGC) 1: マニュアル設定 (MGC)
rfagcg1 [2:0]	24	[7:5]	W	0x2	RF_AGC ループ利得設定 (引込) 0: 利得最大 ~ 7: 利得最小
rfagcg2 [2:0]	24	[4:2]	W	0x3	RF_AGC ループ利得設定 0: 利得最大 ~ 7: 利得最小
rfagc_inv	24	[1]	W	0x0	RF_AGC 制御 AGCCNTR 出力極性反転 RF_AGC 制御信号極性を反転します。 0: 入力レベル大のとき AGCCNTR 出力 L の期間 > H の期間 入力レベル小のとき AGCCNTR 出力 L の期間 < H の期間 1: 入力レベル大のとき AGCCNTR 出力 H の期間 > L の期間 入力レベル小のとき AGCCNTR 出力 H の期間 < L の期間
rfmgcon	24	[0]	W	0x0	RF_AGC 利得制御マニュアル設定選択 AGC と MGC の動作を切り替えます。 0: 自動制御 (AGC) 1: マニュアル設定 (MGC)
ifmgc [7:0]	25	[7:0]	W	0x00	IF 利得マニュアル設定 ifmgcon=1 のとき、AGCCNTI 端子から出力する IFMGC レベルを SB 形式で設定します。 FF: 最大 ~ 00: 最小
rfmgc [7:0]	26	[7:0]	W	0x00	RF 利得マニュアル設定 rfmgcon=1 のとき、AGCCNTR 端子から出力する RFMGC レベルを SB 形式で設定します。 FF: 最大 ~ 00: 最小
ifthd [3:0]	28	[3:0]	W	0x0	IF_AGC 利得切替レベル設定 SB 形式で設定します。 F: 最大 ~ 0: 最小
rfthd [3:0]	2B	[3:0]	W	0x0	RF_AGC 利得切替レベル設定 SB 形式で設定します。 F: 最大 ~ 0: 最小
almh [7:0]	2C	[7:0]	W	0xFF	アラームレベル設定 (小) 入力レベルが小のときのアラーム判定レベルを設定します。 アラームレベルの ifagc_dt を SB 形式で設定します。
alml [7:0]	2D	[7:0]	W	0x00	アラームレベル設定 (大) 入力レベルが大のときのアラーム判定レベルを設定します。 RF/IF 切替制御モードのとき、アラームレベルの rfagc_dt を SB 形式で設定します。
if_max [7:0]	2E	[7:0]	W	0xFF	IF_AGC 上限値設定 入力レベル小のときの IF_AGC リミット値を SB 形式で設定します。 FF: 最大 ~ 00: 最小
rf_min [7:0]	2F	[7:0]	W	0x00	RF_AGC 下限値設定 入力レベル大のときの RF_AGC リミット値を SB 形式で設定します。 FF: 最大 ~ 00: 最小
lpfsl [1:0]	34	[5:4]	W	XSEL	デジタルフィルタ係数切替 0: 低 IF での OFDM 単体動作用 1: 44MHz ダイレクト IF (19MHz 動作用) 2: 57MHz ダイレクト IF (20MHz 動作用) 3: 57MHz ダイレクト IF (25MHz 動作用)
ifsch [1:0]	34	[3:2]	W	0x3	IF_AGC 利得補正設定 ifthd で設定したレベルより大のときの利得を設定します。 0: 8 倍 1: 4 倍 2: 2 倍 3: 1 倍
rfsch [1:0]	34	[1:0]	W	0x3	RF_AGC 利得補正設定 rfthd で設定したレベルより大のときの利得を設定します。 0: 8 倍 1: 4 倍 2: 2 倍 3: 1 倍

※ SB: ストレートバイナリ

## 9.7.5 S\_INFOによるAGC適応制御

TC90512 には RF\_AGC/IF\_AGC 切替制御モードにおいて、チューナの歪み検出出力である S\_INFO 端子入力を用いた AGC 制御が可能です。(チューナの歪み検出出力は歪み許容レベル以上のときに"1"となる信号としてください。IF\_AGC 前にてレベル判定した信号が適当です。)

レジスタ sifon="1"で S\_INFO を用いた AGC の適応制御機能が動作します。S\_INFO 信号によって IF\_AGC レベルを増減し、結果として連動する RF\_AGC が制御されます。すなわち、S\_INFO 信号が歪み発生を示す時は (RF\_AGC 利得が下がるように) IF\_AGC 利得を大きく制御し、逆に S\_INFO 信号が歪み発生を示さない時は (RF\_AGC 利得が上がるように) IF\_AGC 利得を小さくします。

AGC 適応制御のステップ幅はレジスタ dpstep、制御時定数は dp\_sft、制御間隔は dpcttim で設定します。なお、入力される S\_INFO 信号の制御極性はレジスタ sifinv で反転することができます。また、レジスタ dplmth で制御範囲の上限を、レジスタ dplmtl で制御範囲の下限を設定することができます。S\_INFO 信号に基づく制御の時間間隔は dpcttim に設定します。(dpcttim×27.5ms が制御間隔になります。)

sifon="1"として S\_INFO を用いる AGC 制御では通常の場合とレジスタ内容が異なるものがあります。下記の一覧を参照してください。

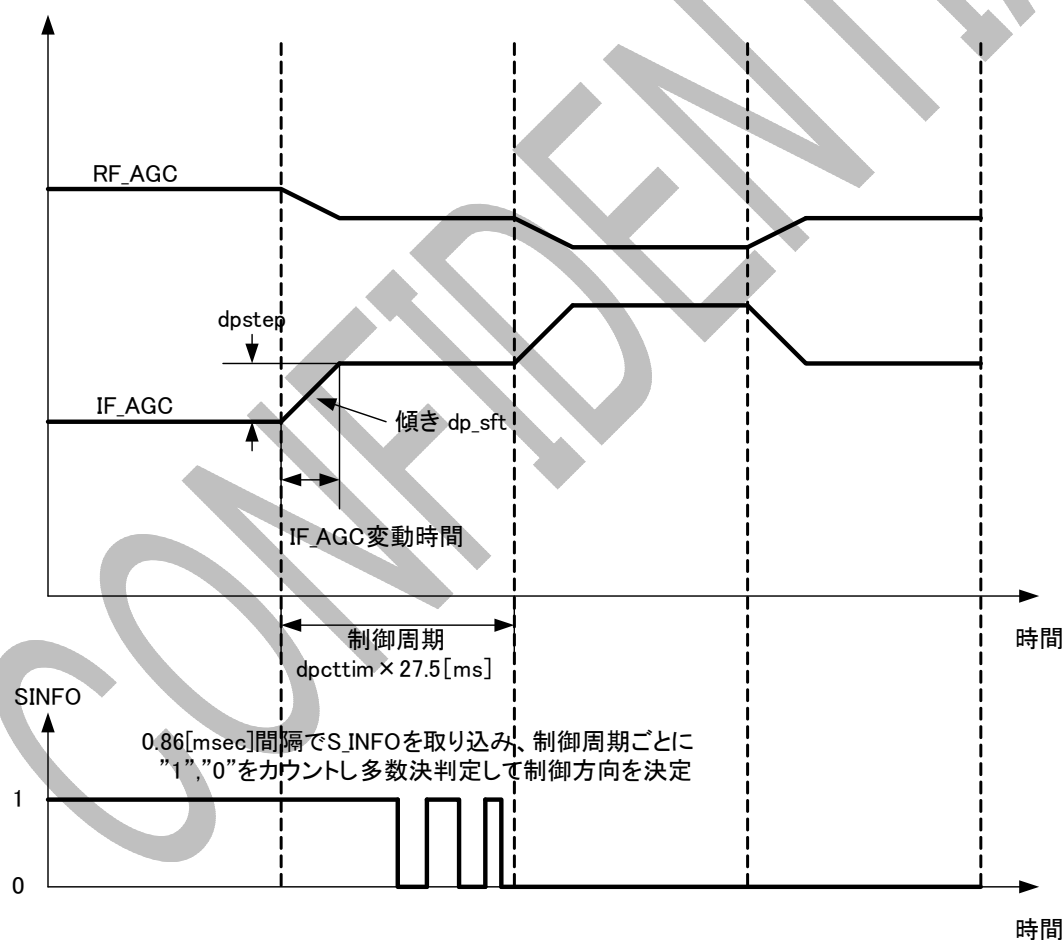


図 9.6 S\_INFO 制御



名称	アドレス (HEX)	データ	R/W	初期値	内容 (sifon="1"のとき)
delayp [7:0]	20	[7:0]	R/W	0x00	S_INFO 制御での初期値設定 S_INFO 制御の初期値 (IF_AGC 制御レベル) を SB 形式で 設定します。
sifon	22	[6]	W	0x0	S_INFO による適応 AGC 制御 ON/OFF 0: OFF 1: ON
sifinv	22	[5]	W	0x0	S_INFO 信号の制御極性反転 0: 非反転 1: 反転
dpstep [7:0]	27	[7:0]	W	0x0C	S_INFO 制御のステップ幅設定 2 の補数表示 (負で RF 利得を下げるステップから開始) 1LSB で IF_AGC フルレンジ/1024 に相当
dp_sft [2:0]	28	[7:5]	W	0x3	S_INFO 制御の制御時定数設定 IF_AGC がフルレンジ/1024 変化するのに要する時間 0: 165ms 1: 82.5ms 2: 41.2ms 3: 20.6ms 4: 10.3ms 5: 5.1ms 6: 2.5ms 7: 使用不可
dplmth [7:0]	29	[7:0]	W	0x6B	S_INFO 制御範囲の上限値設定 SB 形式で設定します。 FF: 最大 ~ 00: 最小
dplmtl [7:0]	2A	[7:0]	W	0x40	S_INFO 制御範囲の下限値設定 SB 形式で設定します。 FF: 最大 ~ 00: 最小
dpcttim [3:0]	2B	[7:4]	W	0x4	S_INFO 制御の制御時間間隔設定 設定値 × 27.5[ms]

※ SB: ストレートバイナリ

## 9.8 キャリア再生

### 9.8.1 周波数変換

IF 複素信号をベースバンド複素信号に周波数変換します。周波数変換のためのオフセット周波数設定をレジスタ `cpId_dt` に設定します。

#### (1) 57MHz IF モード (XT=25MHz)

$$\text{cpId\_dt} = (\text{IF 周波数}[\text{MHz}] - \text{XT} \times 2) \times 10^6 \times (\text{FS} / \text{MD}) \times (3/4) / 992 \quad (\text{式 9-8-1})$$

FS: データ周波数 [MHz] (= 65.015873)

MD: マスタクロック周波数 [MHz]

XT: 基準クロック周波数 [MHz]

#### (2) 57MHz IF モード (XT=20MHz)

$$\text{cpId\_dt} = (\text{XT} \times 3 - \text{IF 周波数}[\text{MHz}]) \times 10^6 \times (\text{FS} / \text{MD}) / 992 \quad (\text{式 9-8-2})$$

FS: データ周波数 [MHz] (= 65.015873)

MD: マスタクロック周波数 [MHz]

XT: 基準クロック周波数 [MHz]

#### (3) 4MHz IF モード (XT=4MHz)

$$\text{cpId\_dt} = (\text{IF 周波数}[\text{MHz}]) \times 10^6 \times (\text{FS} / \text{MD}) / 992 \quad (\text{式 9-8-3})$$

FS: データ周波数 [MHz] (= 65.015873)

MD: マスタクロック周波数 [MHz]

#### (4) IQ ベースバンドモード (XT=4MHz)

$$\text{cpId\_dt} = (\text{ベースバンド中心周波数}[\text{MHz}]) \times 10^6 \times (\text{FS} / \text{MD}) / 992 \quad (\text{式 9-8-4})$$

FS: データ周波数 [MHz] (= 65.015873)

MD: マスタクロック周波数 [MHz]

例として、57MHz IF(XT=25MHz)モードで IF 周波数=57.000MHz、XT=25.400MHz のとき、MD=76.2MHz であり、`cpId_dt` は下記ようになります。

$$\begin{aligned} \text{cpId\_dt} &= (57.000 - 24.500 \times 2) \times 10^6 \times (65.015873 / 76.200) \times (3/4) / 992 \\ &= 4000 \text{ (DEC)} \\ &= 0FA0 \text{ (HEX)} \end{aligned}$$

`cpId_dt` は端子 XSEL1 と XSEL0 により自動設定されるので、通常は設定する必要はありません。詳細は 6.5 節と 10 章を参照してください。

なお、IF 入力信号に合わせて信号処理の周波数スペクトル極性を考慮する必要があります。デフォルトでは AD 変換後の IF 周波数スペクトルと RF 周波数スペクトルの極性が同じときに正しく復調されます。例えば、4MHz の Low IF 周波数スペクトル極性は RF と同じなのが一般的なので極性反転する必要はなく、57MHz のダイレクト IF も基準クロック周波数 XT=20.5MHz であれば ADC による周波数変換が上側局発の周波数変換と同様なのでやはり極性反転不要です。一方、XT=25.4MHz の場合は下側局発に相当するので極性反転が必要になります。周波数スペクトルの極性反転はレジスタ `f_inv` で設定します。ただし、端子 XSEL1、XSEL0 で自動設定されるので通常は設定する必要はありません。

### 9.8.2 周波数引込範囲

キャリア周波数引込範囲は 13 セグメント受信モードでは±250kHz 以上です。一方、1 セグメント受信あるいは 3 セグメント受信モードでは±200kHz です。受信セグメントモード選択レジスタ `recvmd` を設定すると周波数引込範囲は自動的に切り替わります。

1 セグメント受信あるいは 3 セグメント受信ではレジスタ `sbchlmt` により、周波数引込範囲を±200kHz と±62kHz で切り替えられます。狭い引込範囲の設定は地上デジタル音声放送のサブチャンネル選局の際に隣接サブチャンネルを引き込んでしまうのを防ぐような場合に利用できます。

### 9.8.3 キャリアAFCループ利得補正設定

キャリア AFC 引込動作で用いる数値制御発振器の制御感度を、使用するマスタクロック周波数に応じてレジスタ `affrq` で補正します。

#### (1) 57MHz IF モード (XT=25MHz)

$$\text{affrq} = (1 - (\text{FS} / \text{MD}) \times (3/4)) \times 1024 \quad (\text{式 9-8-5})$$

FS: データ周波数 (= 65.015873MHz)  
MD: マスタクロック周波数

#### (2) 57MHz IF モード (XT=20MHz)

$$\text{affrq} = (1 - \text{FS} / \text{MD}) \times 1024 \quad (\text{式 9-8-6})$$

FS: データ周波数 (= 65.015873MHz)  
MD: マスタクロック周波数

#### (3) 4MHz IF モード (XT=4MHz)

$$\text{affrq} = (1 - \text{FS} / \text{MD}) \times 1024 \quad (\text{式 9-8-7})$$

FS: データ周波数 (= 65.015873MHz)  
MD: マスタクロック周波数

#### (4) IQ ベースバンドモード (XT=4MHz)

$$\text{affrq} = (1 - \text{FS} / \text{MD}) \times 1024 \quad (\text{式 9-8-8})$$

FS: データ周波数 (= 65.015873MHz)  
MD: マスタクロック周波数

例として、57MHz IF(XT=25MHz)モードで IF 周波数= 57.000MHz、XT= 25.400MHz のとき、MD=76.2MHz であり、`affrq` は下記ようになります。

$$\begin{aligned} \text{affrq} &= ((1 - \text{FS} / \text{MD}) \times (3/4)) \times 1024 \\ &= 368 \text{ (DEC)} \\ &= 170 \text{ (HEX)} \end{aligned}$$

`affrq` は端子 `XSEL1` と `XSEL0` により自動設定されるので通常は設定する必要はありません。詳細は 6.5 節と 10 章を参照してください。

### 9.8.4 ループ利得切替

キャリア周波数引込動作には粗同期と精密同期を用いており、それぞれで時定数およびループフィルタ利得を設定できます。さらに精密同期はいわゆる 2 重時定数となっており、引込時の利得と定常時の利得を設定することができます。2 重時定数の切替には同期シーケンスのタイマが用いられます。

精密同期の引込時の利得はレジスタ `carg_h` に設定します。また、精密同期の定常時の利得はレジスタ `carg_l` に設定します。

## 9.8.5 キャリア周波数誤差モニタ

レジスタ carafc\_dt にキャリア周波数誤差を出力します。キャリア周波数誤差は次式で計算されます。

## (1) 57MHz IF モード (XT=25MHz)

$$\text{キャリア周波数誤差} = \text{carafc\_dt} \times 7.75 \times (\text{MD} / \text{FS}) \times (4/3) \text{ [Hz]} \quad (\text{式 9-8-9})$$

FS: データ周波数 (= 65.015873MHz)

MD: マスタクロック周波数

## (2) 57MHz IF モード (XT=20MHz)

$$\text{キャリア周波数誤差} = \text{carafc\_dt} \times 7.75 \times (\text{MD} / \text{FS}) \text{ [Hz]} \quad (\text{式 9-8-10})$$

FS: データ周波数 (= 65.015873MHz)

MD: マスタクロック周波数

## (3) 4MHz IF モード (XT=4MHz)

$$\text{キャリア周波数誤差} = \text{carafc\_dt} \times 7.75 \times (\text{MD} / \text{FS}) \text{ [Hz]} \quad (\text{式 9-8-11})$$

FS: データ周波数 (= 65.015873MHz)

MD: マスタクロック周波数

## (4) IQ ベースバンドモード (XT=4MHz)

$$\text{キャリア周波数誤差} = \text{carafc\_dt} \times 7.75 \times (\text{MD} / \text{FS}) \text{ [Hz]} \quad (\text{式 9-8-12})$$

FS: データ周波数 (= 65.015873MHz)

MD: マスタクロック周波数

なお、チューナ局発の関係で IF 入力の周波数極性が反転している場合はキャリア周波数誤差も正負反転します。

名称	アドレス (HEX)	データ	R/W	初期値	内容
carg_h [1:0]	30	[7:6]	W	0x0	キャリア AFC ループ利得 1 設定 引き込み動作でのキャリア AFC の利得を選択します。 設定値を 1 増やすと利得は 1/2 倍になります。 0: 利得最大 ~ 3: 利得最小
carg_l [1:0]	30	[5:4]	W	0x2	キャリア AFC ループ利得 2 設定 定常時におけるキャリア AFC の利得を選択します。 設定値を 1 増やすと利得は 1/2 倍になります。 0: 利得最大 ~ 3: 利得最小
f_inv	30	[3]	W	XSEL	デジタル IF 周波数反転 2nd_IF 信号をベースバンド信号に周波数変換する周波数を選択します。 0: デジタル IF 周波数極性非反転 1: デジタル IF 周波数極性反転
sbchlimt	30	[2]	W	0x0	3/1 セグメント受信時の引込範囲 3/1 セグメントでの周波数引き込み範囲を選択します。 0: ±200kHz    1: ±62kHz

cpld_dt [13:8]	31	[5:0]	W	XSEL	キャリア周波数オフセット値設定 57MHz IF/XT25MHz モード: $\text{cpld\_dt} = (\text{IF} - \text{XT} \times 2) \times 10^6 \times (\text{FS}/\text{MD}) \times (3/4) / 992$ 57MHz IF/XT20MHz モード: $\text{cpld\_dt} = (\text{XT} \times 3 - \text{IF}) \times 10^6 \times (\text{FS}/\text{MD}) / 992$
cpld_dt [7:0]	32	[7:0]	W	XSEL	4MHz IF モード: $\text{cpld\_dt} = (\text{IF}) \times 10^6 \times (\text{FS}/\text{MD}) / 992$ IQ ベースバンドモード: $\text{cpld\_dt} = (\text{IF}) \times 10^6 \times (\text{FS}/\text{MD}) / 992$ FS: データ周波数 [MHz] (=65.015873) MD: マスタクロック周波数 [MHz] XT: 基準クロック周波数 [MHz] IF: IF 周波数[MHz]
affrq [8]	38	[0]	W	XSEL	キャリア周波数補正係数 57MHz IF/XT25MHz モード: $\text{affrq} = (1 - (\text{FS}/\text{MD}) \times (3/4)) \times 1024$ 57MHz IF/XT20MHz モード: $\text{affrq} = (1 - \text{FS}/\text{MD}) \times 1024$
affrq [7:0]	39	[7:0]	W	XSEL	4MHz IF モード: $\text{affrq} = (1 - \text{FS}/\text{MD}) \times 1024$ IQ ベースバンドモード: $\text{affrq} = (1 - \text{FS}/\text{MD}) \times 1024$ FS: データ周波数 [MHz] (=65.015873) MD: マスタクロック周波数 [MHz]
carafc_dt [15:8]	84	[7:0]	R	0xXX	キャリア周波数誤差モニタ出力 キャリア周波数誤差を表します。(2の補数形式) 受信機の周波数が高いとき、負 (-) の周波数誤差を出力 受信機の周波数が低いとき、正 (+) の周波数誤差を出力
carafc_dt [7:0]	85	[7:0]	R	0xXX	

※XSEL は端子 XSEL1 と XSEL0 設定値によって初期値が設定されることを示します。

## 9.9 同期シーケンス

### 9.9.1 シーケンス制御

シーケンス制御により、モード検出、FFT 窓検出、キャリア再生、クロック再生、フレーム同期検出を自動的に行います。同期シーケンスのステータスは以下のとおりです。ステータス状態はレジスタ `seqen` によりモニタすることができます。（9.17 節を参照ください。）

<code>seqen = 0:</code>	伝送モードの検出
<code>seqen = 1:</code>	FFT 窓位置の初期引込
<code>seqen = 2:</code>	キャリア AFC 粗同期
<code>seqen = 3:</code>	キャリア AFC 精密同期・クロック AFC（第 1 利得）
<code>seqen = 4:</code>	キャリア AFC 精密同期・クロック AFC（第 2 利得）
<code>seqen = 5:</code>	クロック PLL（第 1 利得）
<code>seqen = 6:</code>	クロック PLL（第 2 利得）（3/1 セグメントモードのとき）
<code>seqen = 7:</code>	クロック PLL（第 3 利得）（3/1 セグメントモードのとき）
<code>seqen = 8:</code>	FFT 窓サーチ完了待ち
<code>seqen = 9:</code>	同期シーケンス完了

**【重要】** TC90512 はチャンネル切替時の TS エラーフリーまでの時間が大幅に短縮されているため、フレーム同期 FLOCK や `seqen=8` または 9 より短い期間となる場合があります。受信完了の判定は FLOCK や `seqen` ではなく RLOCK（TS パケット連続エラーなし判定）を用いるようにしてください。

### 9.9.2 初期ウェイト時間の設定

同期引込シーケンス開始までのウェイト時間をレジスタ `syini_tim` で設定します。設定時間は次式で表されます。

$$\text{ウェイト時間} = \text{syini\_tim} \times 2.016 \text{ [ms]} \quad (\text{式 9-9-1})$$

シーケンス処理開始までに入力信号のレベルと周波数は正常な状態に安定している必要があります。チューナ局発 PLL シンセサイザ同期時間および AGC 収束時間などを考慮して設定してください。

### 9.9.3 伝送モードの自動検出

受信信号の有効シンボル長（FFT サイズ）、ガード比を自動的に検出します。使用されない伝送モードが予め既知の場合には下記のようにレジスタ `symds_off` を設定することにより指定のモード検出処理をスキップすることができます。ただし、すべてスキップする設定はできません。

<code>symds_off[11] = 1:</code>	Mode3, ガード 1/4 をスキップ
<code>symds_off[10] = 1:</code>	Mode3, ガード 1/8 をスキップ
<code>symds_off[9] = 1:</code>	Mode3, ガード 1/16 をスキップ
<code>symds_off[8] = 1:</code>	Mode3, ガード 1/32 をスキップ
<code>symds_off[7] = 1:</code>	Mode2, ガード 1/4 をスキップ
<code>symds_off[6] = 1:</code>	Mode2, ガード 1/8 をスキップ
<code>symds_off[5] = 1:</code>	Mode2, ガード 1/16 をスキップ
<code>symds_off[4] = 1:</code>	Mode2, ガード 1/32 をスキップ
<code>symds_off[3] = 1:</code>	Mode1, ガード 1/4 をスキップ
<code>symds_off[2] = 1:</code>	Mode1, ガード 1/8 をスキップ
<code>symds_off[1] = 1:</code>	Mode1, ガード 1/16 をスキップ
<code>symds_off[0] = 1:</code>	Mode1, ガード 1/32 をスキップ

また、伝送モードが既知の場合、レジスタ mdtsel = "1"とし、レジスタ ffsz, gdleng に FFT サイズ、ガード比を設定することで同期時間を短縮することができます。このようにプリセットした場合でも、設定した伝送モードが伝送信号に一致しない場合には自動的に伝送モードのサーチが行なわれます。

#### 9.9.4 FFT窓位置の設定

FFT 窓位置は自動的にサーチされ、復調後の S/N が最大となる位置に設定されます。最長ガード期間となる Mode3 のガード比 1/4 においても同様です。ガード外マルチパスが存在する場合でも最適な FFT 窓位置が自動的に設定されます。

TC90512 は連続的に FFT 窓制御を継続させることができるので、入力条件が変化しても FFT 窓を再サーチする必要はありません。ただし、符号間干渉キャンセラ ISIC がガード外マルチパスを抑圧しているときには FFT 窓連続制御が行われませんのでご注意ください。

FFT 窓位置の連続制御はレジスタ schnum で更新周期を設定します。また、復調リセット直後の引込時には schnum に換えて initnum 設定値が用いられます。

##### FFT 窓連続サーチ 1 ステップの時間間隔（定常時）

Mode1:  $\text{schnum} \times 4 \times 48$  [OFDM シンボル]

Mode2:  $\text{schnum} \times 2 \times 48$  [OFDM シンボル]

Mode3:  $\text{schnum} \times 1 \times 48$  [OFDM シンボル]

※schnum = 0 の場合、Mode に関係なく 6 [OFDM シンボル]

##### FFT 窓連続サーチ 1 ステップの時間間隔（引込時）

Mode1:  $\text{initnum} \times 4 \times 12$  [OFDM シンボル]

Mode2:  $\text{initnum} \times 2 \times 12$  [OFDM シンボル]

Mode3:  $\text{initnum} \times 1 \times 12$  [OFDM シンボル]

※initnum = 0 の場合、Mode に関係なく 6 [OFDM シンボル]

※単位[有効シンボル]はガード期間を除く OFDM シンボル期間です。

#### 9.9.5 キャリア・クロック再生の時間設定

キャリア AFC 粗同期、精密同期、クロック AFC、PLL の各シーケンス時間を設定できます。

キャリア AFC 粗同期の時間はレジスタ md1\_cpd、md2\_cpd および md3\_cpd で設定します。キャリア AFC 精密同期およびクロック AFC は 2 段階の利得切替が可能です。各利得におけるシーケンス時間はレジスタ afctim\_1 および afctim\_2 で設定します。設定時間は次式で表されます。

Mode1: 時間 =  $\text{afctim}_1$  または  $\text{afctim}_2 \times 16$  [シンボル]

Mode2: 時間 =  $\text{afctim}_1$  または  $\text{afctim}_2 \times 8$  [シンボル]

Mode3: 時間 =  $\text{afctim}_1$  または  $\text{afctim}_2 \times 4$  [シンボル]

3/1 セグメントモードの場合、クロック PLL は 3 段階（引込時 2 段階および同期保持時）の利得切替が可能です。引込時の各利得におけるシーケンス時間はレジスタ plltim\_1 および plltim\_2 で設定します。設定時間は次式で表されます。

Mode1: 時間 =  $\text{plltim}_1$  または  $\text{plltim}_2 \times 34$  [シンボル]

Mode2: 時間 =  $\text{plltim}_1$  または  $\text{plltim}_2 \times 18$  [シンボル]

Mode3: 時間 =  $\text{plltim}_1$  または  $\text{plltim}_2 \times 10$  [シンボル]

#### 9.9.6 フレーム同期保護の設定

フレーム同期は TMCC に含まれる同期ワードにより検出します。フレーム同期の同期保護期間はレジスタ fdtmax で設定し、設定時間は次式で表されます。ただし、fdtmax に 0~3 の値は設定できません。

Mode1: 同期保護期間 =  $\text{fdtmax} \times 4$  [フレーム]



Mode2: 同期保護期間 =  $\text{fdtmax} \times 2$  [フレーム]

Mode3: 同期保護期間 =  $\text{fdtmax} \times 1$  [フレーム]

設定したフレーム数の期間に連続して同期ワードが検出できなかったとき、非同期と判定して再引込を行いません。フレーム同期フラグは端子 FLOCK（同期状態で"1"）またはレジスタ fulock（同期状態で"0"）によりモニタできます。

### 9.9.7 シーケンスのリトライ異常検出

TC90512 には同期異常検出機能が内蔵されており、フレーム同期判定を待たずに自動的に再引込（リトライ）処理を行なうことができます。また、リトライ回数がレジスタ retrycnt 設定値よりも大きくなったときレジスタ retryov に"1" が出力されるので、このフラグを監視することで受信不可能な信号が入力されたことを速やかに検出できます。

リトライは C/N 異常などのように各シーケンスの動作状態をモニタして判定されるものと、各シーケンスが一定時間に完了しないときに判定されるタイムアウトがあります。なお、レジスタ mdetsel="1"を設定して伝送モードのプリセットを行った場合、プリセットの（間違いによる）不一致を除外できるように 1 回目のリトライはカウントしません。

### 9.9.8 伝送モード、TMCCプリセットによる引込時間短縮

TC90512 にはモード／ガード比および TMCC のプリセット機能があります。これらを用いることでチャンネル切替時の引込時間を短縮することができます。

#### 1) モード／ガード比

プリセットによりこれらのサーチ時間を省くことができます。レジスタ mdetsel="1"としてレジスタ fssize と gdleng にそれぞれモードとガード比をプリセットします。プリセットする値は fulock="0"のときの fssize と gdleng の READ 値を用いることができます。（fulock はフレーム同期だけでなく SP 検出フラグとしても使用でき、SP 検出とした方が判定時間は短くなります。SP 検出での fulock="0"でもモードとガード比は正しく取得できています。）なお、レジスタ mdetsel ="1"としておけば、間違ったモードまたはガード比をプリセットしても自動的にサーチが行なわれます。

#### 2) TMCC プリセット

アドレス B2h～B8h の各レジスタに TMCC データをプリセットします。最長で 2 フレーム期間が必要な TMCC 取得時間を短縮することができます。プリセットする値はアドレス B2h～B9h の READ 値を用いることができます。事前に TMCC 非検出フラグ tmunvld="0"で正しい TMCC が取得できていることを確認してください。なお、もし間違った TMCC をプリセットしても自動的に正しい値に修正されます。ただし、この場合には引込時間の短縮効果は得られません。なお、B2h～B8 の初期値は（通常の放送サービスで多く使用されている）下記のパラメータがあらかじめ設定されています。

Mode3、ガード比 1/8

A 階層：部分受信 1 セグメント、QPSK、符号化レート 2/3、時間インタリーブ長 l=4

B 階層：12 セグメント、64QAM、符号化レート 3/4、時間インタリーブ長 l=2

さらに、eqqdt でモニタした値を eqqth にプリセットすることで TS エラーフリーまでの時間を短縮できます。TMCC プリセットと併用するようにしてください。（9.15 節と 9.17 節を参照してください。）



名称	アドレス (HEX)	データ	R/W	初期値	内容
syini_tim [7:0]	3A	[7:0]	W	0x10	初期ウェイト時間設定 同期引込み開始までの初期ウェイトを設定します。 ウェイト時間 = syini_tim × 2.016 [mS]
retrycnt [3:0]	3B	[7:4]	W	0x1	リトライカウント閾値（リトライオーバー）設定 同期引込みのリトライオーバーを判定するリトライ回数。 設定値よりも大きくなったときにretryov="1"が出力されます。
symds_off [11:8]	3B	[3:0]	W	0x0	伝送モードのサーチ制限設定 symds_off[11] = 1: Mode3, ガード 1/4 をスキップ symds_off[10] = 1: Mode3, ガード 1/8 をスキップ symds_off[9] = 1: Mode3, ガード 1/16 をスキップ symds_off[8] = 1: Mode3, ガード 1/32 をスキップ symds_off[7] = 1: Mode2, ガード 1/4 をスキップ symds_off[6] = 1: Mode2, ガード 1/8 をスキップ symds_off[5] = 1: Mode2, ガード 1/16 をスキップ symds_off[4] = 1: Mode2, ガード 1/32 をスキップ symds_off[3] = 1: Mode1, ガード 1/4 をスキップ symds_off[2] = 1: Mode1, ガード 1/8 をスキップ symds_off[1] = 1: Mode1, ガード 1/16 をスキップ symds_off[0] = 1: Mode1, ガード 1/32 をスキップ
symds_off [7:0]	3C	[7:0]	W	0x00	
cdtref [7:0]	3D	[7:0]	W	0x10	相関検出の振幅判定閾値設定 0: 最小 ~ 255: 最大
ofsref [7:0]	3E	[7:0]	W	0x08	相関妨害検出の判定閾値設定 0: 最小 ~ 255: 最大
afctim_1 [7:0]	3F	[7:0]	W	0x0C	キャリア・クロックAFC 第1利得のシーケンス長設定 Mode1: 時間 = afctim_1 × 16 [シンボル] Mode2: 時間 = afctim_1 × 8 [シンボル] Mode3: 時間 = afctim_1 × 4 [シンボル]
afctim_2 [7:0]	40	[7:0]	W	0x0C	キャリア・クロックAFC 第2利得のシーケンス長設定 Mode1: 時間 = afctim_2 × 16 [シンボル] Mode2: 時間 = afctim_2 × 8 [シンボル] Mode3: 時間 = afctim_2 × 4 [シンボル]
plltim_1 [7:0]	41	[7:0]	W	0x00	クロックPLL 第1利得のシーケンス長設定 3/1セグメントモードのときのみ有効です。 Mode1: 時間 = plltim_1 × 34 [シンボル] Mode2: 時間 = plltim_1 × 18 [シンボル] Mode3: 時間 = plltim_1 × 10 [シンボル]
plltim_2 [7:0]	42	[7:0]	W	0x00	クロックPLL 第2利得のシーケンス長設定 3/1セグメントモードのときのみ有効です。 Mode1: 時間 = plltim_2 × 34 [シンボル] Mode2: 時間 = plltim_2 × 18 [シンボル] Mode3: 時間 = plltim_2 × 10 [シンボル]
fmax_ini [3:0]	43	[7:4]	W	0x4	引込時のフレーム同期の同期保護数設定 シーケンス3からタイマ開始 同期保護期間 = fmax_ini [フレーム]
fdtmax [3:0]	43	[3:0]	W	0xF	フレーム同期の同期保護フレーム数設定 Mode1: 同期保護期間 = fdtmax × 4 [フレーム] Mode2: 同期保護期間 = fdtmax × 2 [フレーム] Mode3: 同期保護期間 = fdtmax [フレーム] ※0~3は設定不可

ndtmax [3:0]	44	[3:0]	W	0xF	C/N異常判定の同期保護期間設定 13セグメント Mode1: 同期保護時間= ndtmax × 420 [シンボル] Mode2: 同期保護時間= ndtmax × 210 [シンボル] Mode3: 同期保護時間= ndtmax × 105 [シンボル] 3/1セグメント Mode1: 同期保護時間= ndtmax × 52 [シンボル] Mode2: 同期保護時間= ndtmax × 26 [シンボル] Mode3: 同期保護時間= ndtmax × 13 [シンボル]
tlimsel [1:0]	46	[7:6]	W	0x0	タイミング同期判定の許容範囲設定 0: ±ガード期間の1/8 1: ±ガード期間の1/4 2: ±ガード期間の1/2 3: ±ガード期間
mgthsel [1:0]	46	[5:4]	W	0x2	相関ピーク幅判定閾値設定 0: 最小 ~ 3: 最大
mdetsel	47	[7]	W	0x0	初期引込時にモードサーチを行なうかどうかを選択 0: 初期引込時にモードサーチON 1: 初期引込時はモードサーチOFF ただし、リトライ再引込時にはモードサーチを行なう
mlocksel	47	[6]	W	0x0	fulockフラグ出力切替 0: フレーム同期フラグ 1: SP検出フラグ ※fulockのみに有効でFLOCKには反映されません。
cnth [7:0]	48	[7:0]	W	0x90	C/N異常判定閾値設定 0: 最小 ~ 255: 最大
md1_cpd [1:0]	49	[7:6]	W	0x3	キャリアAFC粗同期における時定数選択 (Mode1) 設定値を1増やすと時定数は2倍になります。 0: 時定数最小 ~ 3: 時定数最大
md2_cpd [1:0]	49	[5:4]	W	0x2	キャリアAFC粗同期における時定数選択 (Mode2) 設定値を1増やすと時定数は2倍になります。 0: 時定数最小 ~ 3: 時定数最大
md3_cpd [1:0]	49	[3:2]	W	0x1	キャリアAFC粗同期における時定数選択 (Mode3) 設定値を1増やすと時定数は2倍になります。 0: 時定数最小 ~ 3: 時定数最大
syimp_off	4A	[7]	W	0x0	インパルス応答検出を用いたFFTタイミング制御ON/OFF選択 0: ON 1: OFF (ガード相関のみで制御するテスト用)
wlimsel [1:0]	4A	[5:4]	W	0x0	ガード相関によるFFTタイミング制御感度設定 0: 最小 ~ 3: 最大
wslim [2:0]	4A	[3:1]	W	0x1	FFT窓サーチのリミット設定 FFT窓位置最小値: Mode1: 最小値= (wslim+1) × 4 [サンプル] Mode2: 最小値= (wslim+1) × 8 [サンプル] Mode3: 最小値= (wslim+1) × 16 [サンプル] FFT窓位置最大値: Mode1: 最大値= ガード期間 - (wslim+1) × 4 [サンプル] Mode2: 最大値= ガード期間 - (wslim+1) × 8 [サンプル] Mode3: 最大値= ガード期間 - (wslim+1) × 16 [サンプル] ※単位[サンプル]はFFTクロック数 ※ガード比1/16, 1/32のときwslim ≥ 4は設定不可
syld_off	4B	[0]	W	0x0	FFTタイミング制御 ON/OFF 0: ON 1: OFF (SPモニタ時のみ使用)

tdtmax [1:0]	4C	[7:6]	W	0x0	シーケンス1のタイムアウト時間設定 0: 最大 ~ 3:最小 13セグメント Mode1: 時間 = (tdtmax+4) × 18 [シンボル] Mode2: 時間 = (tdtmax+4) × 10 [シンボル] Mode3: 時間 = (tdtmax+4) × 10 [シンボル] 1/3セグメント Mode1: 時間 = (tdtmax+4) × 34 [シンボル] Mode2: 時間 = (tdtmax+4) × 18 [シンボル] Mode3: 時間 = (tdtmax+4) × 10 [シンボル]
cpdmax [1:0]	4C	[5:4]	W	0x0	シーケンス2のタイムアウト時間設定 0: 最大 ~ 3:最小 タイムアウト時間 (13segment) Mode1: 時間 = (cpdmax + 3) × 38 [シンボル] (md1_cpd=3の場合) Mode2: 時間 = (cpdmax + 3) × 22 [シンボル] (md2_cpd=2の場合) Mode3: 時間 = (cpdmax + 3) × 14 [シンボル] (md3_cpd=1の場合) タイムアウト時間 (1segment/3segment) Mode1: 時間 = (cpdmax + 3) × 70 [シンボル] (md1_cpd=3の場合) Mode2: 時間 = (cpdmax + 3) × 38 [シンボル] (md2_cpd=2の場合) Mode3: 時間 = (cpdmax + 3) × 22 [シンボル] (md3_cpd=1の場合)
spdmax [1:0]	4C	[3:2]	W	0x0	SP検出のタイムアウト時間設定 (シーケンス4 からタイマ開始) 0: 最大 ~ 3:最小 0: 時間 = 16 [シンボル] 1: 時間 = 32 [シンボル] 2: 時間 = 48 [シンボル] 3: 時間 = 60 [シンボル]
tmdmax [1:0]	4C	[1:0]	W	0x0	シーケンス8のタイムアウト設定 (シーケンス3からタイマ開始) 0: 最大 ~ 3:最小 Mode1: 時間 = (tmdmax+4) × 4 [フレーム] Mode2: 時間 = (tmdmax+4) × 2 [フレーム] Mode3: 時間 = (tmdmax+4) [フレーム]
retryov	80	[7]	R	0xX	同期引込リトライオーバーフラグ リトライ回数がretrycnt設定値を越えたときに異常フラグを出力 0: 正常 1: 異常
woffset [7:0]	B1	[7:0]	R/W	0x02	FFT復調の窓位置設定 有効期間の先頭を中心として有効期間の1/4前 (woffset=127) から1/4後 (woffset=-128) の範囲で設定可能。 Mode1: 窓位置=woffset × 4 [サンプル] Mode2: 窓位置=woffset × 8 [サンプル] Mode3: 窓位置=woffset × 16 [サンプル] ※単位[サンプル]はFFTクロック数
schnum [3:0]	E4	[7:4]	W	0x8	FFT窓連続サーチ 1ステップの時間間隔 0: 最小 ~ 15: 最大 Mode1: schnum × 4 × 48 [OFDM シンボル] Mode2: schnum × 2 × 48 [OFDM シンボル] Mode3: schnum × 1 × 48 [OFDM シンボル] ※schnum = 0 の場合、Mode に関係なく 6 [OFDM シンボル]
initnum [3:0]	E4	[3:0]	W	0x4	FFT 窓連続サーチ 1ステップの時間間隔 (引込時) 0: 最小 ~ 15: 最大 Mode1: initnum × 4 × 12 [OFDM シンボル] Mode2: initnum × 2 × 12 [OFDM シンボル] Mode3: initnum × 1 × 12 [OFDM シンボル] ※initnum = 0 の場合、Mode に関係なく 6 [OFDM シンボル]

※TMCC 関連のレジスタは 9.17 節を参照してください。

## 9.10 ISIC

TC90512は符号間干渉抑圧回路（Inter Symbol Interference Canceller : ISIC）を内蔵しています。

FFT窓位置制御は原理的にガード期間までに制限されるため、ガード外となる長遅延マルチパスで発生する符号間干渉をFFT窓位置制御だけで除去することはできません。TC90512のISICはガード期間を越える長遅延マルチパス（ガード外マルチパス）で生じる符号間干渉を抑圧し、劣悪なSFN環境での受信性能を向上します。プリエコーおよびポストエコーとなる長遅延マルチパスに対して抑圧効果を得ることができ、複数のマルチパス波にも対応することができます。

ISICは初期設定ではオフになっており、レジスタsydfmd="1"でオン状態にすることができます。オン状態では入力条件に応じてISICが自動的に動作しますので外部からの制御は不要です。なお、ISICが機能する条件は下記の場合です。下表でISICが適用不可となっている条件ではISICオン設定が無効になります。

表9.5 ISICの適用条件

condition	GI=1/32	GI=1/16	GI=1/8	GI=1/4
13segment	○	○	○	×
12+1segment	○	○	○	×
3segment	×	×	×	×
1 segment	×	×	×	×

※ 差動セグメントを含む場合は除く（ISICは適用不可）。

※ モードおよび時間インターリーブ長、変調方式、符号化レートには依存しません。

**【重要】** ISICは初期設定ではオフになっています。レジスタsydfmd="1"を設定して復調リセットimsrstをかけることで機能します。

ISICマルチパス抑圧機能はFFT窓連続制御と同時に動作できません。ただし、ガード外マルチパスが存在しないときには自動的にISICが停止してFFT窓連続制御を行いません。

名称	アドレス (HEX)	データ	R/W	初期値	内容
grgain [2:0]	7C	[2:0]	W	0x0	ISIC 用フィルタの係数修正利得 0: ×1 1: ×3/4 2: ×1/2 3: ×3/8 4: ×1/4 5: ×3/16 6: ×1/8 7: ×3/32
gripklv [2:0]	7D	[6:4]	W	0x5	ガード内遅延波検出しきい値 0: 最小 ~ 7: 最大
gropklv [2:0]	7D	[2:0]	W	0x2	ガード外遅延波検出しきい値 0: 最小 ~ 7: 最大
gract	7F	[3]	R	0x0	ISIC 動作状態モニタ 0: OFF 1: ON
grovnum [2:0]	7F	[2:0]	R	0x0	検出したガード外マルチパス波の数
groff	C7	[6]	W	0x0	ISIC 強制スルー 0: ISIC スルーしない 1: ISIC 強制スルー（テスト用）
gr1dly [12:8]	C8	[4:0]	R	0x00	ISIC 用フィルタ 1 の遅延時間 [12]: 先行波対応フラグ 0:遅延波除去 1:先行波除去 [11:0]:遅延量 0:マルチパスなし 10:遅延最小・・・2750:遅延最大
gr1dly [7:0]	C9	[7:0]	R	0x00	
gr2dly [12:8]	CA	[4:0]	R	0x00	ISIC 用フィルタ 2 の遅延時間 [12]: 先行波対応フラグ 0:遅延波除去 1:先行波除去 [11:0]:遅延量 0:マルチパスなし 10:遅延最小・・・2750:遅延最大
gr2dly [7:0]	CB	[7:0]	R	0x00	

gr3dly [12:8]	CC	[5:0]	R	0x00	ISIC 用フィルタ 3 の遅延時間 [12]: 先行波対応フラグ 0:遅延波除去 1:先行波除去 [11:0]:遅延量 0:マルチパスなし 10:遅延最小 . . . 2750:遅延最大
gr3dly [7:0]	CD	[7:0]	R	0x00	
sydfmd [1:0]	EF	[1:0]	W	0x0	ISIC/連続 FFT 窓サーチの切替設定 0: ISIC OFF (FFT 窓連続制御のみを行なう) 1: ISIC ON 2: テスト用 3: 使用不可 ※設定を有効にするには復調リセット imsrst が必要です。

### 9.11 FFT

TC90512 は 2k,4k および 8k ポイント対応の FFT 回路を内蔵しており、FFT 処理における内部演算精度を確保するためにブロック浮動小数点演算を採用しています。キャリア妨害性能を向上するため、高精度な演算回路を採用しています。

### 9.12 CPE除去

チューナ位相雑音などによる入力信号の位相変動（CPE:Common Phase Error）を時間領域および周波数領域において効果的に除去します。前者を**時間 CPE**、後者を**周波数 CPE** と呼びます。

時間 CPE は FFT 前の時間領域において、シンボル期間内の位相変動を補正します。

周波数 CPE はシンボル間で連続なパイロット信号を用いて、FFT 後の周波数領域で全キャリア共通の位相変動を検出しこれを補正します。

時間 CPE 除去の動作はレジスタ cpet\_off で ON/OFF の設定が可能です。また、周波数 CPE 除去の動作はレジスタ cpe\_off で ON/OFF の設定が可能です。

名称	アドレス (HEX)	データ	R/W	初期値	内容
cpet_off	50	[7]	W	0x0	時間 CPE 除去 ON/OFF 設定 0: ON 1: OFF
cpe_off	50	[6]	W	0x0	周波数 CPE 除去 ON/OFF 設定 0: ON 1: OFF

## 9.13 CVI/CSI

マルチパス、フェージングなど伝送路において周波数選択性妨害をうけた場合、パイロットより推定した **CSI** (Channel State Information) により誤り訂正性能を改善します。

また、アナログ TV による同一チャンネル妨害やその他のスプリアス妨害など特定周波数に妨害波が存在する場合、**CVI** (Carrier Variance Information) により妨害検出し消失訂正を行なうことで特性を改善します。CVI はシンボルごとに妨害ピーク値及びその周波数位置を求めており、キャリア単位の CW 妨害を検出できます。

周波数位置 (キャリア番号) をレジスタ monadr に設定すると、1 シンボル後に特定のキャリアの妨害レベルをレジスタ cvim で読み出すことができます。また、最大の妨害を受けたキャリア位置を cviloc、最大妨害量を cvimax でモニタすることができます。

伝送路の時間的変動状況からマルチパス、フェージング妨害の程度を推定し、周波数変動 fvar、時間変動率 tvar として算出します。TC90512 ではこれらの検出結果を用いて誤り訂正制御の最適化を自動的に行っています。

PLR(パイロット妨害低減)はキャリア妨害を受けた SP パイロットを補間処理で修復し、その影響を軽減します。デフォルトは PLR オンになっていますが、多波マルチパスなどの劣悪な環境ではマルチパスをキャリア妨害と見なしてしまう場合があるので通常はオフで使用するようにしてください。

名称	アドレス (HEX)	データ	R/W	初期値	内容
cvcnth [7:0]	51	[7:0]	W	0x68	CVI 処理の C/N 閾値 低 C/N 条件での誤動作防止用閾値
csioff	52	[7]	W	0x0	CSI 処理の ON/OFF CSI(channel state Information)による重みづけの設定 0: ON 1: OFF
cvioff	52	[6]	W	0x0	CVI 処理の ON/OFF 妨害の消失訂正 (CVI) の設定 0: ON 1: OFF
fdoff	52	[1]	W	0x0	フェージング検出 ON/OFF 0: ON 1: OFF
fdfm	52	[0]	W	0x0	フェージングモード強制 ON 設定 0: OFF 1: ON
ofsd [7:0]	54	[7:0]	W	0x57	フェージング検出オフセット設定 0: 最小 ~ FF: 最大
scld [7:0]	55	[7:0]	W	0xF1	フェージング検出傾き設定 0: 最小 ~ FF: 最大
tvth [7:0]	56	[7:0]	W	0x20	フェージング検出時間量閾値 0: 最小 ~ FF: 最大
fvth [7:0]	57	[7:0]	W	0x70	フェージング検出周波数閾値 0: 最小 ~ FF: 最大
plroff	5F	[7]	W	0x0	PLR 処理の ON/OFF 0: ON 1: OFF (通常は OFF とする)

## 9.14 等化

同期変調キャリアは SP パイロット信号から推定した伝送路応答を用いて等化を行ないます。また、差動変調キャリア、TMCC キャリアについては遅延検波を行ないます。伝送路応答推定は SP パイロットの時間および周波数における適応的な補間処理を用いており、所要 C/N と時間応答性の両立を図っています。この適応処理は自動的に行なわれるため外部からの制御は不要です。

なお、パイロット信号を利用して受信信号の C/N (復調 S/N) をモニタすることができます。必要な精度に対応してレジスタ cngsel で検出時の積分回数を設定し、cndat から読み出します。C/N (デシベル表示) には次式で換算してください。

$$C/N[dB] = 0.000024 \times P^4 - 0.0016 \times P^3 + 0.0398 \times P^2 + 0.5491 \times P + 3.0965 \quad (\text{式9-14-1})$$

$$P = 10 \log(5505024 / \text{cndat})$$

信号処理による誤差が含まるので目安にご使用ください。なお、[スプリアス](#)、[マルチパス妨害](#)などで[誤差の少ない検出方法](#)を用いています。

名称	アドレス (HEX)	データ	R/W	初期値	内容
<a href="#">eqcngsel</a> [2:0]	4F	[2:0]	W	0x5	<a href="#">パイロット補間フィルタ切替時間間隔設定</a> 0: 最大 ~ 7: 最小
cngsel [2:0]	5C	[6:4]	W	0x5	C/Nモニタにおける平均回数設定 0: 65536回 1: 32768回 2: 16384回 3: 8192回 4: 4096回 5: 2048回 6: 1024回 7: 512回 ※C/N検出に要する時間 Mode1: 平均回数/39 [シンボル] Mode2: 平均回数/39/2 [シンボル] Mode3: 平均回数/39/4 [シンボル] (1セグメント受信モードでは13倍、3セグメント受信モードでは13/3倍になります。)

※モニタレジスタについては 9.17 節を参照ください。

### 9.15 TMCC検出

TMCC キャリアは遅延検波された後、多数決判定され、さらに差集合巡回符号の復号が行なわれます。TMCC 復号データはレジスタマップ上のアドレス B2h~B9h に出力されます。TMCC 復号のエラーフラグはレジスタ `tmunvld` に出力され、`tmunvld="1"` のとき TMCC 復号データは無効です。

TMCC 信号がカウントダウン状態のときにはレジスタ `tmccchg="1"` が出力されます。また、TMCC 内の緊急警報放送用起動フラグが"1"のときにレジスタ `emeflg="1"` が出力されます。

レジスタ `cntdmax`、`cntumax` を設定することにより、カウントダウン切替え前後の所定フレーム期間に渡ってステータスレジスタ `cdunvld="1"` が出力されます。このステータス信号はカウントダウン切替え前後でデータが破綻するときのマスク信号として利用できます。

TMCC 情報のモニタは 9.17 節「モニタ出力」のリードレジスタ一覧を参照してください。これらのレジスタは R/W となっており、TMCC プリセットを行なうこともできます。(もしプリセット値が TMCC 検出結果と異なる場合は検出結果で上書きされます。)

名称	アドレス (HEX)	データ	R/W	初期値	内容
<a href="#">eqqth</a> [2:0]	4F	[7:5]	W	0x0	<a href="#">TMCC リザーブ領域判定閾値</a> 0:122bit 目 ~ 6:128it 目、7:リザーブ検出 OFF
cntdmax [3:0]	5C	[3:0]	W	0x0	カウントダウン前のマスク信号 <code>cdunvld</code> の期間設定 期間=cntdmax × フレーム期間
cntumax [5:0]	5D	[5:0]	W	0x0	カウントダウン後のマスク信号 <code>cdunvld</code> の期間設定 期間=cntumax × フレーム期間

※モニタレジスタについては 9.17 節を参照ください。



## 9.16 誤り訂正

誤り訂正復号部は周波数および時間デインターリーブ、デマッピング、ビット・デインターリーブ、デパंकチャ、ビタビ復号、バイト・デインターリーブ、エネルギー逆拡散（デスクランブル）、RS 復号、階層選択出力から構成されます。バイト・デインターリーブ、エネルギー逆拡散、RS 復号は設定により ON/OFF 可能です。

### 9.16.1 TS出力における各種設定

以下のレジスタで TS 出力フォーマットを設定可能です。

#### ① TS 出力形式

palonff :	パリティ期間の TS パラレルのバイトクロック (RSCKO) を停止します。(188 バイトのみクロック出力) ただし、 <u>TS シリアルクロックは停止しません。</u>
revck :	RSCKO を反転します。
chcklp :	TS シリアルクロック極性を反転します。
laysel :	特定階層をヌルパケットに置換します。
nuckz :	シリアルデータ出力のヌルパケット期間でシリアルクロックを停止します。

#### ② バリッドフラグ関連

nuval :	ヌルパケットのバリッド信号を OFF します。(実際に伝送されるヌルパケットは除きます。)
anuval :	nuval="1"のときに強制的にヌル化されたパケットと自動ヌル化されたパケットのバリッド信号も立てないようにします。
ipbval :	バリッド信号の極性を反転します。(通常データ期間"1")

#### ③ エラーフラグ関連

auto_nul :	閾値以上のエラー発生でその階層すべてをヌルパケットに置換します。
msoff :	TS パケットの 2nd バイト MSB エラーインジケータを変化させません。
asyneng :	復調引込完了までの非同期期間はヌルパケット含めて強制的に TS パケットをエラーとする機能を OFF します。
rlocksw :	RLOCK 判定基準を選択します。TS パケット連続エラーフリーで RLOCK を立てるか、1 フレーム期間中のエラーなしで RLOCK を立てるかを切り替えます。

### 9.16.2 階層選択

階層多重されている場合、レジスタ laysel[2:0]の所定のビットを"1"に設定することにより階層ごとに出力をヌルパケット化できます。また、この設定によりシリアル出力での BER 測定の際に特定の階層のみ選択して測定することが可能です。laysel[2]:階層 A、laysel[1]:階層 B、laysel[0]:階層 C に対応しています。

受信状態の劣化によりエラーパケットが頻発する場合、特定階層のパケットをヌルパケット化する使い方も可能です。

### 9.16.3 BER測定用シリアル出力

レジスタ beron="1" 設定により、TS シリアル出力に替えて BER 測定用シリアルデータとシリアルクロックを出力できます。出力されるのは TS の同期バイト 47 とパリティを除くデータ部分の 187 バイトです。(OFDM 多重ヌルパケットを除く)



## 9.16.4 RS復号ON/OFF

レジスタ rsoff の設定で RS 復号を ON/OFF できます。

## 9.16.5 ビタビ復号後BERモニタ

レジスタ cor="1"とすることで、一定周期ごとに RS 復号で訂正されたエラービット数をカウントできます。RS 復号されたビット数がビタビ訂正後に残留したエラービット数に等しいと近似できる場合、エラービット数を測定周期中の総ビット数で割った結果がビタビ復号後 BER となります。

## ① 測定周期モードの選択

ISDB-Tでは 1 フレーム当たりの TS パケット数に変調パラメータで異なるので、測定周期として総パケット数を指定するパケットモードとフレーム数を指定する時間モードを用意しています。

パケットモード : tsch="0"  
指定したパケット数ごとのエラー数 (cor="1"ではエラービット数) をカウントします。

時間モード : tsch="1"  
設定したフレーム数ごとのエラー数 (cor="1"ではエラービット数) をカウントします。

## ② BER 測定階層の選択

外部 BER 測定カウンタで測定する場合は測定する階層をレジスタ laysel で設定します。TC90512 内部のエラーカウンタを使用して BER 測定する場合は 3 階層同時に測定できますので、階層を選択する必要はありません。

## ③ 測定周期の設定

パケットモード、時間モードの両方ともレジスタ cyc[2:0]に設定します。

測定周期設定

値	パケットモード	時間モード (Mode1, Mode2)	時間モード (Mode3)
0	512 パケット	2 フレーム	0.5 フレーム
1	1024 パケット	4 フレーム	1 フレーム
2	2048 パケット	8 フレーム	2 フレーム
3	4096 パケット	16 フレーム	4 フレーム
4	8192 パケット	32 フレーム	8 フレーム
5	16384 パケット	設定不可	16 フレーム
6	32768 パケット	設定不可	設定不可

## ④ エラーカウント数 (ビット数) の読み出し

A 階層のカウント値 : perra[23:0]に出力  
B 階層のカウント値 : perrb[23:0]に出力  
C 階層のカウント値 : perrc[23:0]に出力

## ⑤ 測定周期の総パケット数の読み出し

パケットモードで指定したパケット数は設定値と同じなので読み出す必要はありませんが、時間モードは伝送パラメータに依存して 1 フレーム中のパケット数が異なります。cyc で指定したフレーム数の期間の総パケット数は下記のレジスタで読み出すことができます。

A 階層の総パケット数 : pecya[15:0]に出力  
 B 階層の総パケット数 : pecyb[15:0]に出力  
 C 階層の総パケット数 : pecyc[15:0]に出力

#### ⑥ ビタビ復号後 BER の計算

次式でビタビ復号後 BER を近似的に計算できます。

$$\text{BER} \doteq \text{perra} / (\text{pecya} \times 204 \times 8) \quad (\text{式 9-15-1})$$

B 階層または C 階層の場合は、perrb、perrc と pecyb、pecyc を用います。

※ RS 復号で 9 バイト以上の誤りが存在して訂正不能な場合、エラービット数を特定できません。  
 このため、上式の近似計算結果は  $7.8 \times 10^{-2}$  程度で飽和します。

### 9.16.6 RS復号後BERモニタ

レジスタ cor="0"設定（デフォルト）とすることで、一定周期ごとに RS 復号後のエラーパケット数（9 バイト以上のエラーがあり RS 訂正できないパケットの数）をカウントします。  
 パケットエラーレート PER は RS 訂正できないパケット数と測定周期の総パケット数の比で計算されます。また、BER は RS 訂正できないパケットにおけるエラーバイト数を 9 バイトと見なして計算します。（10 バイト以上のエラー発生確率は小さいと仮定）

#### ① 測定周期モードの選択

ISDB-T では 1 フレーム当たりのパケット数が変調パラメータで異なるので、測定周期として総パケット数を指定するパケットモードとフレーム数を指定する時間モードを用意しています。

パケットモード : tsch="0"  
 指定したパケット数ごとのエラー数（cor="0"ではエラーパケット数）をカウントします。  
 時間モード : tsch="1"  
 指定したフレーム数ごとのエラー数（cor="0"ではエラーパケット数）をカウントします。

#### ② BER 測定階層の選択

外部 BER 測定カウンタで測定する場合は測定する階層をレジスタ laysel で設定します。  
 TC90512 内部のエラーカウンタを使用して BER 測定する場合は 3 階層同時に測定できますので、階層を選択する必要はありません。

#### ③ 測定周期の設定

パケットモード、時間モードの両方ともレジスタ cyc[2:0]に設定します。

測定周期設定

値	パケットモード	時間モード (Mode1, Mode2)	時間モード (Mode3)
0	512 パケット	2 フレーム	0.5 フレーム
1	1024 パケット	4 フレーム	1 フレーム
2	2048 パケット	8 フレーム	2 フレーム
3	4096 パケット	16 フレーム	4 フレーム
4	8192 パケット	32 フレーム	8 フレーム
5	16384 パケット	設定不可	16 フレーム
6	32768 パケット	設定不可	設定不可

## ④ エラーカウント数の読み出し

A 階層のカウント値 : perra[23:0]に出力  
B 階層のカウント値 : perrb[23:0]に出力  
C 階層のカウント値 : perrc[23:0]に出力

## ⑤ 測定周期の総パケット数の読み出し

パケットモードで指定したパケット数は設定値と同じなので読み出す必要はありませんが、時間モードは伝送パラメータに依存して1フレーム中のパケット数が異なります。cyc で指定したフレーム数の期間の総パケット数は下記のレジスタで読み出すことができます。

A 階層の総パケット数 : pecya[15:0]に出力  
B 階層の総パケット数 : pecyb[15:0]に出力  
C 階層の総パケット数 : pecyc[15:0]に出力

## ⑥ RS 復号後 BER の計算

次式で RS 復号後 BER を近似的に計算できます。B または C 階層の場合は perrb、perrc と pecyb、pecyc を用います。

$$PER \div perra / pecya \quad (\text{式 9-15-2})$$

$$BER \div (perra \times 8 \times 0.5 \times 9) / (pecya \times 204 \times 8) \quad (\text{式 9-15-3})$$

※ RS 訂正不能な場合、エラーパケット数を特定できないため誤差を含みます。

## 9.16.7 階層変調時のTS出力パケットのヌル化設定

## (1) 階層の強制ヌルパケット設定

レジスタ laysel で特定階層パケットを強制的にヌルパケットにできます。(9.16.2 参照)

## (2) エラー多発時の自動ヌルパケット化設定

エラーパケットが頻繁に発生する場合、MPEG デコーダにおいて PID 誤識別などによる誤動作を生じる可能性があります。TC90512 はエラー発生頻度に応じて自動的に TS パケットをヌルパケットにしてこの誤動作を防ぐことができます。

## ① エラーカウントモードの設定

自動ヌルパケット化を用いる場合は、cor="0" (パケット数でエラーをカウント) とします。

## ② 測定周期モードの設定

BER 測定と同様にパケットモード (パケット単位) か時間モード (フレーム単位) を選択します。  
なお、jperst を用いるとエラー測定のカウンタをリセットすることができます。

## ③ 観測周期の設定

BER 測定と同様にエラーカウントする周期をレジスタ cyc に設定します。

## ④ 自動ヌルパケット化する階層の指定

自動ヌルパケット化は階層で共通です。レジスタ auto\_nul を"1"にすることで設定されます。

## ⑤ 自動ヌルパケット化 ON/OFF 閾値の設定

エラーカウント数に対して閾値を設定します。この閾値を超えた場合に TS 出力パケットをヌルパケット化します。閾値にはヒステリシス特性を持たせることができます。  
 エラーカウント値が増大した際に「ヌルパケット化 ON」と判定する閾値を shsl[2:0]に設定し、エラーカウント値が減少した際に「ヌルパケット化 OFF」と判定する閾値を shsc[2:0]に設定します。正しくヒステリシス動作をするように、 $shsl \leq shsc$  となるように設定してください。これらの閾値は各階層で共通です。

※ 閾値 shsc と shsl は観測パケット周期 pcy(a,b,c)のパケット数に対する比で設定しますが、これらの積が 1 以上になるようにして下さい。例えば、観測パケット周期がパケットモードで「384 パケット」のとき、shsc または shsl が「周期の 1/512」のような設定だと、全パケットがエラーであっても  $shsc \times pcy(a,b,c)$  または  $shsl \times pcy(a,b,c)$  が 1 パケット以下の結果になり正しく動作しません。

## 9.16.8 エラーフラグ

エラーフラグ関連を下記にまとめて示します。

ru lock : 1 階層でもエラーがある場合に"1" (全階層にエラーがない場合に 0)  
 RLOCK : 1 階層でもエラーがない場合に"1"  
 RERR : 1 階層でもエラーがある場合に"1"

すなわち、ru lock と RERR は同じ信号です。また、階層ごとのエラーフラグ関連は下記のとおりです。

rlocka, rlockb, rlockc : それぞれ該当する階層が存在し、かつエラーがない場合に 1  
 rerra, rerrb, rerrc : それぞれ該当する階層が存在し、かつエラーがある場合に 1

rlocka, rlockb, rlockc と RLOCKA, RLOCKB, RLOCKC はそれぞれ同じであり、rerra, rerrb, rerrc と RERRA, RERRB, RERRC もそれぞれ同じです。

## 9.16.9 RS復号エラー判定フラグの設定

エラーの有無は以下の 2 種類のいずれかの判定方法をレジスタ rlocksw で選択できます。また、特定階層のエラーをマスクすることで階層ごとのエラー判定を行なうこともできます。

rlocksw="1" : OFDM フレーム期間に 1 回以上 RS 復号エラーがあるときエラーありと判定します。

rlocksw="0" : レジスタ okval[2:0]で設定されたパケット数以上連続で RS 復号エラーがないときにエラーなしと判定します。逆に、レジスタ eval[2:0]で設定されたパケット数以上連続して RS 復号エラーが生じたとき出力 TS にエラーありと判定します。(デフォルトではこの判定方法が選択されています。)

RLOCK/RERR 判定 連続エラーTS パケット数設定

okval/eval	判定パケット数
0	1 (eval デフォルト値)
1	2
2	4
3	8 (okval デフォルト値)
4	16
5	32
6	64
7	128

### 9.16.10 階層識別信号出力

階層識別信号 HSEL[1:0]を TS パケットと同期させて出力端子に出すことができます。

HSEL="0" : 階層 A パケット  
 HSEL="1" : 階層 B パケット  
 HSEL="2" : 階層 C パケット  
 HSEL="3" : ヌルパケット

### 9.16.11 エラー判定とBER測定、ヌルパケット化の関連

図 9.8 にエラーフラグと BER 測定およびヌルパケット化の設定の相関図を示します。

RSEORF は TS パケット単位のエラーを用いて発生されます。また最終的な TS パケットのエラーフラグである RSEORF には RLOCK の結果を反映することができます。これは TS エラーフラグの不安定な状態（同期引込過程で 1,0 が交互に生じるような状況）を抑えるためです。

一方、BER 測定およびヌルパケット化処理はエラーカウンタの結果を用います。さらに、ヌルパケット化に関連してバリット信号も nuval や anuval で連動させることができます。

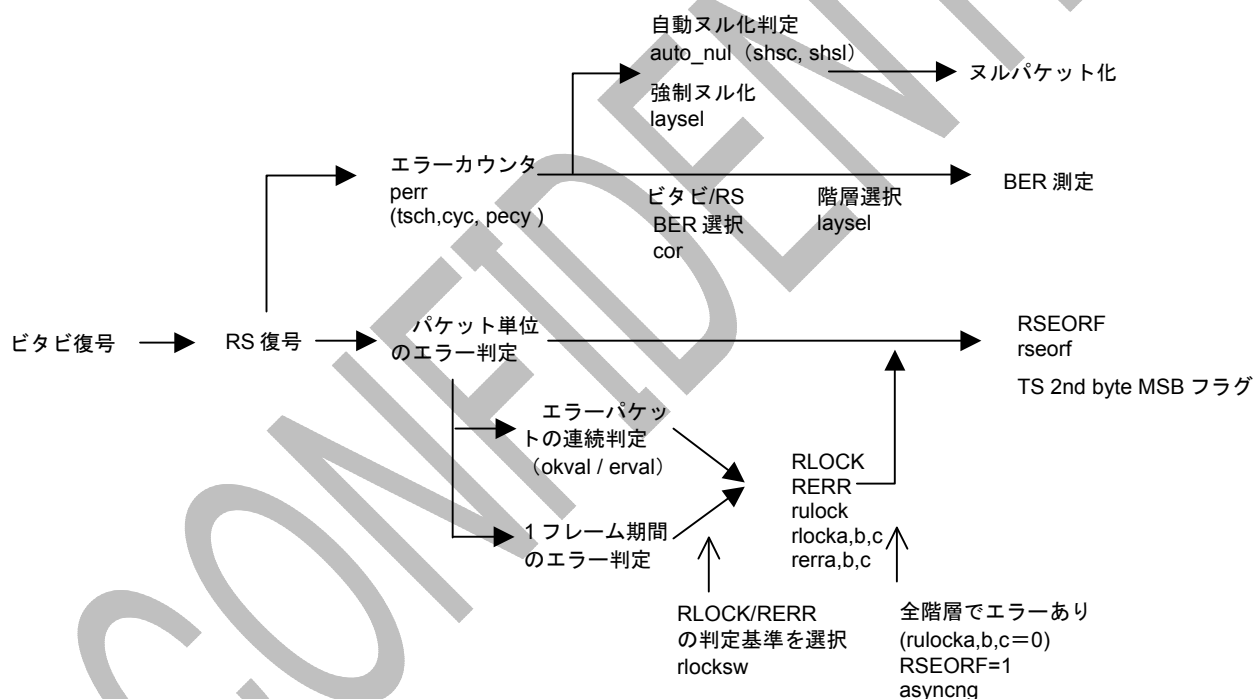


図 9.8 エラーフラグの設定

名称	アドレス (HEX)	データ	R/W	初期値	内容
dintoff	70	[7]	W	0x0	バイトデインタリーブ OFF 設定 0: ON 1: OFF
dscroff	70	[6]	W	0x0	エネルギー拡散デスクランブル OFF 設定 0: ON 1: OFF
okval [2:0]	70	[5:3]	W	0x3	RLOCK/RERR 用連続エラーなし TS 数設定 okval: 判定パケット数 0: 1 1: 2 2: 4 3: 8 (okval デフォルト値) 4: 16 5: 32 6: 64 7: 128
erval [2:0]	70	[2:0]	W	0x0	RLOCK/RERR 用連続エラーあり TS 数設定 erval: 判定パケット数 0: 1 (erval デフォルト値) 1: 2 2: 4 3: 8 4: 16 5: 32 6: 64 7: 128
rsoff	71	[7]	W	0x0	RS 復号 OFF 設定 0: ON 1: OFF (テスト用)
revck	71	[6]	W	0x0	RSCKO クロック反転 TS パラレル出力バイトクロック (RSCKO) を反転します。 0: 非反転 1: 反転
palonff	71	[5]	W	0x0	RSCKO 設定 0: パリティ期間にもクロックを出す (204 バイト分) 1: パリティ期間はクロックを止める (188 バイト分)
ipbval	71	[4]	W	0x0	バリッド極性反転 0: データ期間"1"、パリティ期間"0" 1: パリティ期間"1"、データ期間"0"
msoff	71	[3]	W	0x0	TS パケット 2nd MSB エラーフラグ設定 0: エラーありで 1 とする (通常) 1: スルー (フラグを変更しない)
laysel [2:0]	71	[2:0]	W	0x0	指定階層をヌルパケットに置換 [2]:階層 A [1]:階層 B [0]:階層 C 0: ヌルパケットに置換しない 1: ヌルパケットに置換する
rmsk [2:0]	72	[4:2]	W	0x0	RLOCK/RERR フラグのマスク設定 [2]:階層 A [1]:階層 B [0]:階層 C 0: マスクしない 1: マスクする ※rmsk は階層が存在する場合に、 rlocka, rlockb, rlockc(RLOCKA,RLOCKB,RLOCKC) を強制的に 1 にし、rerra, rerrb, rerrc(RERRA,RERRB,RERRC) を強制的に 0 にする設定です。
beron	75	[6]	W	0x0	シリアル出力切替 0: TS シリアルデータ/クロック 1: BER 測定用シリアルデータ/クロック
rlocksw	75	[5]	W	0x0	RLOCK/RERR 判定基準の選択 0: パケットエラー連続で判定 (閾値 okval, erval) 1: 1 フレーム期間で判定 (TC90A87 互換)
nuckz	75	[3]	W	0x0	シリアル TS 出力のヌルパケットでクロック停止 0: OFF 1: ON (クロック停止)

chclkp	75	[1]	W	0x0	シリアル TS 出力クロックの極性反転 0: データ (SRDT) とクロック (SRCK) 立上りが一致 1: 反転
auto_nul	76	[7]	W	0x0	自動ヌル化設定 エラーカウンタ値が閾値 shsc、shsl でエラー大と判定した場合、その階層をヌル化します。 0: OFF 1: ON
cyc [2:0]	76	[6:4]	W	0x0	測定周期設定 値: <b>パケットモード</b> <b>時間モード (Mode1,2)</b> <b>時間モード (mode3)</b> 0: 512 パケット 2 フレーム 0.5 フレーム 1: 1024 パケット 4 フレーム 1 フレーム 2: 2048 パケット 8 フレーム 2 フレーム 3: 4096 パケット 16 フレーム 4 フレーム 4: 8192 パケット 32 フレーム 8 フレーム 5: 16384 パケット 設定不可 16 フレーム 6: 32768 パケット 設定不可 設定不可 7: 設定不可 設定不可 設定不可
nuval	76	[3]	W	0x0	ヌルパケット期間のバリッドフラグ設定 階層選択でヌル化したものを含む OFDM 多重ヌルパケットのバリッドを OFF します。(データに含まれるヌルパケットは対象外) 0: バリッドフラグ立てる 1: バリッドフラグ立てない
anuval	76	[2]	W	0x0	自動・強制ヌル化パケットのバリッドフラグ設定 nuval="1"のときに、自動ヌル化および強制ヌル化されたパケットのバリッドフラグを立てません。 0: バリッドフラグ立てる 1: バリッドフラグ立てない
asynrng	76	[1]	W	0x1	復調引込時の TS パケットエラー設定 すべての階層で rulock=1 のときはヌルパケット含めて強制的に TS パケットをエラーとする機能を ON します。 0: 非同期期間は強制的にエラーにする 1: 非同期期間も強制的にエラーにしない
perst	76	[0]	W	0x0	全階層の RS 復号エラーカウンタ perra/b/c の強制リセット 0: リセットしない 1: リセットする
shsc [2:0]	77	[7:5]	W	0x0	自動ヌルパケット化の閾値設定 (ヌル化停止) エラーカウンタ値が増大した際に「ヌルパケット化 OFF」と判定する閾値 値: 閾値 0: 周期の 1/8 1: 周期の 1/16 2: 周期の 1/32 3: 周期の 1/64 4: 周期の 1/128 5: 周期の 1/256 6: 周期の 1/512 7: エラーカウンタ値=1
shsl [2:0]	77	[4:2]	W	0x0	自動ヌルパケット化の閾値設定 (ヌル化開始) エラーカウンタ値が増大した際に「ヌルパケット化 ON」と判定する閾値 値: 閾値 0: 周期の 1/8 1: 周期の 1/16 2: 周期の 1/32 3: 周期の 1/64 4: 周期の 1/128 5: 周期の 1/256 6: 周期の 1/512 7: エラーカウンタ値=1

tsch	77	[1]	W	0x0	エラーパケット数測定周期の設定 0: パケットモード 1: 時間モード
cor	77	[0]	W	0x0	エラー測定モード設定 0: RS 復号後エラーパケット数カウントモード 1: ビタビ復号後エラービット数カウントモード

CONFIDENTIAL



## 9.17 モニタ出力

受信モード（FFT サイズ、ガード比）、FFT 窓位置、TMCC 情報および各種受信状態をモニタできます。また、コンスタレーションやスペクトルなどを観測することができます。

### 9.17.1 受信モード

受信モード（FFT サイズ、ガード比）はデフォルトで自動設定され、レジスタ ffszsize および gdleng にそれぞれ出力されます。

### 9.17.2 コンスタレーション／SP（分散パイロット）信号モニタ

コンスタレーションおよび SP 信号の I 軸データおよび Q 軸データはレジスタ mondati, mondatq にそれぞれ出力されます。コンスタレーション／SP 信号の切替はレジスタ monsel で行ないます。

#### (1) コンスタレーションモニタ

monsel="0"でコンスタレーション出力設定（等化出力）となります。

モニタするキャリア番号はレジスタ monadr で設定します。コンスタレーションをモニタする際に有効なキャリア番号の範囲は以下のとおりです。これを monadr に設定して 1 シンボル以上経ってデータが更新されてから mondati, mondatq から I 軸データおよび Q 軸データを読み出します。

##### 【13 セグメント】

Mode1 : 322～1726

Mode2 : 644～3452

Mode3 : 1288～6904

##### 【1 セグメント】

Mode1 : 970～1078

Mode2 : 1940～2156

Mode3 : 3880～4312

##### 【3 セグメント】

Mode1 : 862～1186

Mode2 : 1724～2372

Mode3 : 3448～4744

#### (2) SP モニタ

SP（分散パイロット）信号を周波数方向で並べて観測すると伝送路の周波数特性を近似的に観測することができます。また、SP 信号を逆 DFT 変換すると遅延プロファイルを得ることができます。

monsel="1"で SP 出力設定（FFT 出力）となります。出力する SP 信号のキャリア番号は下記の式で計算される値をレジスタ monadr に設定してください。（それ以外の monadr 値では無効データ出力となります。）

なお、SP 信号は連続的に変化するのでレジスタ syld\_off を"1"に設定して FFT タイミング制御を停止してから 100ms 以降にレジスタ sp\_hold を"1"に設定（SP 信号の更新を停止）し SP 信号を読み出します。

※レジスタ sp\_hold を"1"に設定すると IC 内部の SP メモリへの書き込みが停止されるので正常な TS 出力は得られなくなります。

## 【13 セグメント】

$$\begin{aligned}\text{monadr} &= 322 + 3 \times n_{\text{sp}} && (\text{Mode1}) \\ &= 644 + 3 \times n_{\text{sp}} && (\text{Mode2}) \\ &= 1288 + 3 \times n_{\text{sp}} && (\text{Mode3})\end{aligned}\quad (\text{式 9-17-1})$$

$n_{\text{sp}}$  : SP 番号

周波数の低いほうから順に  $n_{\text{sp}}=0,1,2,\dots,467$  (Mode1)

$n_{\text{sp}}=0,1,2,\dots,935$  (Mode2)

$n_{\text{sp}}=0,1,2,\dots,1871$  (Mode3)

## 【1 セグメント】

$$\begin{aligned}\text{monadr} &= 970 + 3 \times n_{\text{sp}} && (\text{Mode1}) \\ &= 1940 + 3 \times n_{\text{sp}} && (\text{Mode2}) \\ &= 3880 + 3 \times n_{\text{sp}} && (\text{Mode3})\end{aligned}\quad (\text{式 9-17-2})$$

$n_{\text{sp}}$  : SP 番号

周波数の低いほうから順に  $n_{\text{sp}}=0,1,2,\dots,36$  (Mode1)

$n_{\text{sp}}=0,1,2,\dots,72$  (Mode2)

$n_{\text{sp}}=0,1,2,\dots,144$  (Mode3)

## 【3 セグメント】

$$\begin{aligned}\text{monadr} &= 862 + 3 \times n_{\text{sp}} && (\text{Mode1}) \\ &= 1724 + 3 \times n_{\text{sp}} && (\text{Mode2}) \\ &= 3448 + 3 \times n_{\text{sp}} && (\text{Mode3})\end{aligned}\quad (\text{式 9-17-3})$$

$n_{\text{sp}}$  : SP 番号

周波数の低いほうから順に  $n_{\text{sp}}=0,1,2,\dots,108$  (Mode1)

$n_{\text{sp}}=0,1,2,\dots,216$  (Mode2)

$n_{\text{sp}}=0,1,2,\dots,432$  (Mode3)

## 9.17.3 TMCC復号データ

アドレス b2h から b9h のレジスタには OFDM 復調の TMCC 復号データが出力されます。これらのデータはレジスタ tmunvld (アドレス 80h) が "0" のときのみ有効です。

名称	アドレス (HEX)	データ	R/W	初期値	内容
retryov	80	[7]	R	0xX	同期引込リトライオーバーフラグ リトライ回数がretrycnt設定値を越えたときに異常フラグを出力 0: 正常 1: 異常
alarm	80	[6]	R	0xX	受信レベル異常フラグ 0: 正常 1: 異常
tmunvld	80	[5]	R	0xX	TMCC非検出フラグ 0: 検出 1: 非検出
mdunvld	80	[4]	R	0xX	recvmd設定異常フラグ 0: 正常 1: 異常
fulock	80	[3]	R	0xX	フレーム非同期フラグ 0: 同期 1: 非同期 ※mlocksel="1"でSP検出フラグ (0:正常 1:異常) になります。
vulock	80	[2]	R	0xX	ビタビ同期異常フラグ 0: 正常 1: 異常
rulock	80	[1]	R	0xX	RS復号エラーフラグ 0: 正常 1: エラーあり ※rlocksw でエラー有無の判定方法を選択できます。 rlocksw ="0": フレーム単位 rlocksw ="1": TSパケット単位 ※rmskで特定階層の結果のみを反映させることができます。
rseorf	80	[0]	R	0xX	TSパケットエラーフラグ RS訂正不可能な9バイト以上のエラーの有無を示すフラグ 0: 正常 1: 異常

emerg	81	[7]	R	0xX	TMCC緊急警報放送用起動フラグ 0: 起動制御なし 1: 起動制御あり
tmccchg	81	[6]	R	0xX	TMCCカウントダウンフラグ 0: カウントダウンなし 1: カウントダウンあり
cdunvld	81	[5]	R	0xX	TMCCカウントダウン前後のマスク期間を示すフラグ 0: 非マスク期間 1: マスク期間
slpen	81	[4]	R	0xX	スリープ/ウェイクアップ状態を示すフラグ 0: スリープ状態 1: ウェイクアップ状態
ifagc_dt [7:0]	82	[7:0]	R	0xXX	IF_AGC制御レベルモニタ出力 IF_AGCの制御量を表します。(S B形式)
rfagc_dt [7:0]	83	[7:0]	R	0xXX	RF_AGC制御レベルモニタ出力 RF_AGCの制御量を表します。(S B形式)
carafc_dt [15:8]	84	[7:0]	R	0xXX	キャリア周波数誤差モニタ出力 キャリア周波数誤差を表します。(2の補数形式) 受信機の周波数が高いとき、負 (-) の周波数誤差を出力 受信機の周波数が低いとき、正 (+) の周波数誤差を出力
carafc_dt [7:0]	85	[7:0]	R	0xXX	
clk_afc [15:8]	86	[7:0]	R	0xXX	クロック周波数誤差モニタ出力 クロック周波数誤差を表します。(2の補数形式)
clk_afc [7:0]	87	[7:0]	R	0xXX	
mondati [7:0]	89	[7:0]	R	0xXX	キャリアIデータ出力 monsel=0: コンスタレーション出力 Iデータ (monadr[12:0]で設定したIデータ等化出力) monsel=1: SP信号Iデータ (monadr[12:0]で設定したIデータFFT出力)
mondattq [7:0]	8A	[7:0]	R	0xXX	キャリアQデータ出力 monsel=0: コンスタレーション出力 Qデータ (monadr[12:0]で設定したQデータ等化出力) monsel=1: SP信号Qデータ (monadr[12:0]で設定したQデータFFT出力)
cndat [23:16]	8B	[7:0]	R	0xXX	コンスタレーション分散データ出力 等化後コンスタレーションの基準点からの差分の平均値を出力
cndat [15:8]	8C	[7:0]	R	0xXX	
cndat [7:0]	8D	[7:0]	R	0xXX	
fvar [7:0]	8E	[7:0]	R	0xXX	周波数変動率モニタ
tvar [7:0]	8F	[7:0]	R	0xXX	時間変動率モニタ
eqqdt [2:0]	90	[7:5]	R	0xXX	TMCCリザーブ領域検出結果 0:122bit目 ~ 6:128bit目、7:リザーブ領域非検出
cvimax [11:8]	90	[3:0]	R	0xXX	CVI妨害量モニタ シンボルごとの最大値を出力
cvimax [7:0]	91	[7:0]	R	0xXX	
cviloc [12:8]	92	[4:0]	R	0xXX	CVI妨害位置モニタ cvimaxのキャリア位置を出力
cviloc [7:0]	93	[7:0]	R	0xXX	
fddet	94	[7]	R	0xX	フェージング量モニタ FFT復調出力の時間変動からフェージングの程度を出力
cvim [11:8]	94	[3:0]	R	0xXX	キャリアごとのCVIモニタ monadrで指定したキャリア番号のCVI信号を出力
cvim [7:0]	95	[7:0]	R	0xXX	
rlocka	96	[7]	R	0xX	階層AのRS復号エラー判定 0: エラーあり 1: エラーなし

rlockb	96	[6]	R	0xX	階層BのRS復号エラー判定 0: エラーあり 1: エラーなし
rlockc	96	[5]	R	0xX	階層CのRS復号エラー判定 0: エラーあり 1: エラーなし
verra [15:8]	97	[7:0]	R	0xXX	階層Aのビタビ復号誤差カウント値
verra [7:0]	98	[7:0]	R	0xXX	
verrb [15:8]	99	[7:0]	R	0xXX	階層Bのビタビ復号誤差カウント値
verrb [7:0]	9A	[7:0]	R	0xXX	
verrc [15:8]	9B	[7:0]	R	0xXX	階層Cのビタビ復号誤差カウント値
verrc [7:0]	9C	[7:0]	R	0xXX	
perra [23:16]	9D	[7:0]	R	0xXX	階層AのRS復号エラーカウント
perra [15:8]	9E	[7:0]	R	0xXX	
perra [7:0]	9F	[7:0]	R	0xXX	
perrb [23:16]	A0	[7:0]	R	0xXX	階層BのRS復号エラーカウント
perrb [15:8]	A1	[7:0]	R	0xXX	
perrb [7:0]	A2	[7:0]	R	0xXX	
perrc [23:16]	A3	[7:0]	R	0xXX	階層CのRS復号エラーカウント
perrc [15:8]	A4	[7:0]	R	0xXX	
perrc [7:0]	A5	[7:0]	R	0xXX	
pecya [15:8]	A6	[7:0]	R	0xXX	階層Aのエラーカウント周期(パケット数)
pecya [7:0]	A7	[7:0]	R	0xXX	
pecyb [15:8]	A8	[7:0]	R	0xXX	階層Bのエラーカウント周期(パケット数)
pecyb [7:0]	A9	[7:0]	R	0xXX	
pecyc [15:8]	AA	[7:0]	R	0xXX	階層Cのエラーカウント周期(パケット数)
pecyc [7:0]	AB	[7:0]	R	0xXX	
s_infom	AC	[4]	R	0xX	S_INFO信号モニタ出力
agcim	AC	[1]	R	0xX	AGCI信号モニタ出力
wunvld	AD	[7]	R	0x0	FFT窓サーチ完了 0: サーチ完了 1: サーチ未完了
ffsize [1:0]	B0	[7:6]	R/W	0x2	FFTサイズモニタ出力 0: 2048 1: 4096 2: 8192
gdleng [1:0]	B0	[5:4]	R/W	0x2	ガード比モニタ出力 0: 1/32 1: 1/16 2: 1/8 3: 1/4

sequen [3:0]	B0	[3:0]	R/W	0x0	同期シーケンス ステータス情報 0: 伝送モード検出 1: FFT窓初期引込み 2: キャリアAFC粗同期 3: キャリアAFC精密同期・クロックAFC (第1利得) 4: キャリアAFC精密同期・クロックAFC (第2利得) 5: クロックPLL (第1利得) 6: クロックPLL (第2利得) (3/1セグメント受信モードのみ) 7: クロックPLL (第3利得) (3/1セグメント受信モードのみ) 8: FFT窓サーチ完了待ち 9: 同期シーケンス完了
sysid [1:0]	B2	[7:6]	R/W	0x0	TMCCシステム識別 0: TV 1: 音声 それ以外:リザーブ
pachg [3:0]	B2	[5:2]	R/W	0xF	TMCCパラメータ切替え指標 0xF: 切替なし それ以外: 切替えまでのフレーム数 ※TMCCパラメータはpachg=0となった次のフレームで更新されます。
emeflg	B2	[1]	R/W	0x0	TMCC緊急警報放送用起動フラグ 0: 起動制御なし 1: 起動制御あり
part	B2	[0]	R/W	0x1	TMCC部分受信フラグ TVモードのとき 0: 部分受信なし 1: 部分受信あり 音声モードのとき 0: 1セグメント 1: 3セグメント
a_cnst [2:0]	B3	[7:5]	R/W	0x1	TMCC階層A キャリア変調方式 0: DQPSK 1: QPSK 2: 16QAM 3: 64QAM 7: 階層なし それ以外:リザーブ
a_rate [2:0]	B3	[4:2]	R/W	0x1	TMCC階層A 畳込み符号化レート 0: 1/2 1: 2/3 2: 3/4 3: 5/6 4: 7/8 7: 階層なし それ以外:リザーブ
a_ileav [2:1]	B3	[1:0]	R/W	0x3	TMCC階層A 時間インターリーブ方式 Mode1のとき 0: l=0 1: l=4 2: l=8 3: l=16 7: 階層なし それ以外:リザーブ Mode2のとき 0: l=0 1: l=2 2: l=4 3: l=8 7: 階層なし それ以外:リザーブ Mode3のとき 0: l=0 1: l=1 2: l=2 3: l=4 7: 階層なし それ以外:リザーブ
a_ileav [0]	B4	[7]	R/W		
a_seg [3:0]	B4	[6:3]	R/W	0x1	階層Aで使用するセグメント数 0xF: 階層なし
b_cnst [2:0]	B4	[2:0]	R/W	0x3	TMCC階層B キャリア変調方式 0: DQPSK 1: QPSK 2: 16QAM 3: 64QAM 7: 階層なし それ以外:リザーブ
b_rate [2:0]	B5	[7:5]	R/W	0x2	TMCC階層B 畳込み符号化レート 0: 1/2 1: 2/3 2: 3/4 3: 5/6 4: 7/8 7: 階層なし それ以外:リザーブ
b_ileav [2:0]	B5	[4:2]	R/W	0x2	TMCC階層B 時間インターリーブ方式 Mode1のとき 0: l=0 1: l=4 2: l=8 3: l=16 7: 階層なし それ以外:リザーブ Mode2のとき 0: l=0 1: l=2 2: l=4 3: l=8 7: 階層なし それ以外:リザーブ Mode3のとき 0: l=0 1: l=1 2: l=2 3: l=4 7: 階層なし それ以外:リザーブ

b_seg [3:2]	B5	[1:0]	R/W	0xC	階層Bで使用するセグメント数 0xF: 階層なし
b_seg [1:0]	B6	[7:6]	R/W		
c_cnst [2:0]	B6	[5:3]	R/W	0x7	TMCC階層Cキャリア変調方式 0: DQPSK 1: QPSK 2: 16QAM 3: 64QAM 7: 階層なし それ以外: リザーブ
c_rate [2:0]	B6	[2:0]	R/W	0x7	TMCC階層C 畳込み符号化レート 0: 1/2 1: 2/3 2: 3/4 3: 5/6 4: 7/8 7: 階層なし それ以外: リザーブ
c_ileav [2:0]	B7	[7:5]	R/W	0x7	TMCC階層C 時間インタリーブ方式 Mode1のとき 0: l=0 1: l=4 2: l=8 3: l=16 7: 階層なし それ以外: リザーブ Mode2のとき 0: l=0 1: l=2 2: l=4 3: l=8 7: 階層なし それ以外: リザーブ Mode3のとき 0: l=0 1: l=1 2: l=2 3: l=4 7: 階層なし それ以外: リザーブ
c_seg [3:0]	B7	[4:1]	R/W	0xF	階層Cで使用するセグメント数 0xF: 階層なし
phcomp [2]	B7	[0]	R/W	0x1	連結送信位相補正量 0: $-\pi/8$ 1: $-2\pi/8$ 2: $-3\pi/8$ 3: $-4\pi/8$ 4: $-5\pi/8$ 5: $-6\pi/8$ 6: $-7\pi/8$ 7: 補正なし
phcomp [1:0]	B8	[7:6]	R/W	0x3	
resva [5:0]	B8	[5:0]	R/W	0x3F	TMCCリザーブ
resvb [5:0]	B9	[7:2]	R/W	0x3F	
monadr [12:8]	BA	[4:0]	W	0x00	モニタするキャリア番号の設定 コンスタレーション出力、CVIの妨害レベル、SP信号でモニタするキャリアの番号を設定します。有効なキャリア番号の範囲は以下の通りです。 Mode1: 322~1726 Mode2: 644~3452 Mode3: 1288~6904
monadr [7:0]	BB	[7:0]	W	0x00	
sp_hold	BC	[7]	W	0x0	SP信号ホールド切替 SP信号のメモリへの書き込みを停止します。 0: 通常動作 1: ホールド動作 (SPモニタ時に使用)
monsel	BC	[6]	W	0x00	モニタ信号切替 mondati, mondatqに出力する信号を選択します。 0: コンスタレーション出力 1: SP信号
dagc_dt [7:0]	DA	[7:0]	R	0x0	デジタル AGC 利得モニタ デジタル AGC 利得を 2 の補数形式で出力します。 "0"で利得なし (標準状態) 正の値で利得大、負の値で利得小

9.18 I<sup>2</sup>Cスルーモード

TC90512 は地上デジタルチューナの設定用に I<sup>2</sup>C スルー制御端子 TNSCL、TNSDA を備えています。  
I<sup>2</sup>C スルーモードはレジスタアドレス"FEh"をアクセスすることで有効となり、一連のデータ転送を終えた後のストップコンディションで解除されます。（5.1 節参照）

名称	アドレス (HEX)	データ	R/W	初期値	内容
tnflg [7:0]	FE	[7:0]	W	0x00	本アドレス設定後 I2C バスをスルーモードに設定 [7:1]: チューナのスレーブアドレス [0]: "0"でチューナヘライト "1"でチューナからリード

CONFIDENTIAL

## 10. 基本的な周波数設定例一覧

太字の項目は XSEL1, XSEL0 およびデフォルトで自動的に設定されます。

## 10.1 57MHz IFモード (XT=25MHz)

XSEL1=0, XSEL0=0				標準クロック (クリスタル) 周波数 [MHz]		
項目	記号	単位		<b>25.400</b>	25.667	26.000
マスタクロック周波数	MD	[MHz]		<b>76.200</b>	77.000	78.000
O F D M	IF 周波数	IF	[MHz]	<b>57.000</b>		
	データ周波数	FS	[MHz]	<b>65.015873</b>		
	シリアル TS クロック	$f_{\text{OFDM}}$	[MHz]	<b>38.100</b>	38.500	39.000
	クロック周波数引込範囲	$\Delta f/f$	[ppm]	<b><math>\pm 208</math></b>	$\pm 206$	$\pm 203$
	キャリア周波数引込範囲	$f_{\text{AFC}}$	[kHz]	<b><math>\pm 250</math></b>		
	標準クロック分周比	iexdv	HEX(DEC)	<b>0Bh (11)</b>	0Bh (11)	0Bh (11)
	PLL 分周比	ilpdv	HEX(DEC)	<b>21h (33)</b>	21h (33)	21h (33)
	クロック周波数 オフセット補正	hkfrq	HEX(DEC)	<b>2C0Ah (11,274)</b>	2F31h (12,081)	3320h (13,088)
	キャリア周波数 オフセット補正	cpld_dt	HEX(DEC)	<b>0FA0h (4,000)</b>	0E21h (3,617)	0C4Fh (3,151)
	キャリア AFC ループ利得補正	affrq	HEX(DEC)	<b>170h (368)</b>	177h (375)	17Fh (383)
	デジタルフィルタ	lpfsl	HEX(DEC)	<b>3h(3)</b>		
	周波数極性	f_inv	BIN	<b>1</b>		
P S K	シンボルレート	JFS	[MHz]	<b>28.860</b>		
	シリアル TS クロック	$f_{\text{PSK}}$	[MHz]	<b>60.960</b>	61.600	62.400
	クロック周波数引込範囲	$\Delta f/f_{\text{CLK}}$	[ppm]	<b><math>\pm 200</math></b>		
	キャリア周波数引込範囲	$f_{\text{AFC}}$	[MHz]	<b><math>\pm 5</math></b>		
	クロック周波数 オフセット補正	jhkfrq	HEX(DEC)	<b>51F6h (20,982)</b>	5583h (21,891)	59F2h (23,026)
	キャリア AFC ループ利得補正	afcg	HEX(DEC)	<b>52h (82)</b>	51h (81)	50h (80)



## 10.2 57MHz IFモード (XT=20MHz)

XSEL1=0, XSEL0=1				標準クロック (クリスタル) 周波数 [MHz]		
項目	記号	単位		20.480	<b>20.500</b>	20.750
マスタクロック周波数	MD	[MHz]		81.920	<b>82.000</b>	83.000
O F D M	IF 周波数	IF	[MHz]	<b>57.000</b>		
	データ周波数	FS	[MHz]	<b>65.015873</b>		
	シリアル TS クロック	f <sub>OFDM</sub>	[MHz]	40.960	<b>41.000</b>	41.500
	クロック周波数引込範囲	$\Delta f/f$	[ppm]	±194	<b>±194</b>	±191
	キャリア周波数引込範囲	f <sub>AFC</sub>	[kHz]	<b>±250</b>		
	標準クロック分周比	ixdiv	HEX(DEC)	08h (8)	<b>08h (8)</b>	08h (8)
	PLL 分周比	ilpdiv	HEX(DEC)	20h (32)	<b>20h (32)</b>	20h (32)
	クロック周波数 オフセット補正	hkfrq	HEX(DEC)	428Fh (17,039)	<b>42E0h (17,120)</b>	46D0h (18,128)
	キャリア周波数 オフセット補正	cpId_dt	HEX(DEC)	0DE0h (3,552)	<b>0E0Dh (3,597)</b>	1032h (4,146)
	キャリア AFC ループ利得補正	affrq	HEX(DEC)	0D3h (211)	<b>0D4h (212)</b>	0DDh (221)
	デジタルフィルタ	lpfsl	HEX(DEC)	<b>2h(2)</b>		
	周波数極性	f_inv	BIN	<b>0</b>		
P S K	シンボルレート	JFS	[MHz]	<b>28.860</b>		
	シリアル TS クロック	f <sub>PSK</sub>	[MHz]	65.536	<b>65.600</b>	66.400
	クロック周波数引込範囲	$\Delta f/f_{CLK}$	[ppm]	<b>±200</b>		
	キャリア周波数引込範囲	f <sub>AFC</sub>	[MHz]	<b>±5</b>		
	クロック周波数 オフセット補正	jhkfrq	HEX(DEC)	6B55h (27,477)	<b>6BB0h (27,568)</b>	701Fh (28,703)
	キャリア AFC ループ利得補正	afcg	HEX(DEC)	4Ch (76)	<b>4Ch (76)</b>	4Bh (75)

## 10.3 4MHz IFモード (XT=4MHz)

XSEL1=1, XSEL0=0				規準クロック (クリスタル) 周波数 [MHz]
項目	記号	単位		4.000
マスタクロック周波数	MD	[MHz]		78.000
O F D M	IF 周波数	IF	[MHz]	4.063
	データ周波数	FS	[MHz]	65.015873
	シリアル TS クロック	f <sub>OFDM</sub>	[MHz]	39.000
	クロック周波数引込範囲	$\Delta f/f$	[ppm]	±203
	キャリア周波数引込範囲	f <sub>AFC</sub>	[kHz]	±250
	規準クロック分周比	iexdiv	HEX(DEC)	02h (2)
	PLL 分周比	ilpdiv	HEX(DEC)	27h (39)
	クロック周波数 オフセット補正	hkfrq	HEX(DEC)	3320h (13,088)
	キャリア周波数 オフセット補正	cpld_dt	HEX(DEC)	0D56h(3,414)
	キャリア AFC ループ利得補正	affrq	HEX(DEC)	0AAh(170)
	デジタルフィルタ	lpfsl	HEX(DEC)	0h(0)
	周波数極性	f_inv	BIN	0
P S K	シンボルレート	JFS	[MHz]	28.860
	シリアル TS クロック	f <sub>PSK</sub>	[MHz]	62.400
	クロック周波数引込範囲	$\Delta f/f_{CLK}$	[ppm]	±200
	キャリア周波数引込範囲	f <sub>AFC</sub>	[MHz]	±5
	クロック周波数 オフセット補正	jhkfrq	HEX(DEC)	59F2h (23,026)
	キャリア AFC ループ利得補正	afcg	HEX(DEC)	50h (80)

## 10.4 4MHz IFモード (XT=27MHz)

XSEL1=0, XSEL0=0				標準クロック (クリスタル) 周波数 [MHz]
項目	記号	単位		27.000
マスタクロック周波数	MD	[MHz]		81.000
O F D M	IF 周波数	IF	[MHz]	4.063
	データ周波数	FS	[MHz]	<b>65.015873</b>
	シリアル TS クロック	f <sub>OFDM</sub>	[MHz]	40.500
	クロック周波数引込範囲	$\Delta f/f$	[ppm]	±196
	キャリア周波数引込範囲	f <sub>AFC</sub>	[kHz]	<b>±250</b>
	標準クロック分周比	iexdiv	HEX(DEC)	<b>0Bh (11)</b>
	PLL 分周比	ilpdiv	HEX(DEC)	<b>21h (33)</b>
	クロック周波数 オフセット補正	hkfrq	HEX(DEC)	3EF0h (16,112)
	キャリア周波数 オフセット補正	cpId_dt	HEX(DEC)	0CD8h (3,288)
	キャリア AFC ループ利得補正	affrq	HEX(DEC)	0CAh (202)
	デジタルフィルタ	lpfsl	HEX(DEC)	0h(0)
	周波数極性	f_inv	BIN	0
P S K	シンボルレート	JFS	[MHz]	<b>28.860</b>
	シリアル TS クロック	f <sub>PSK</sub>	[MHz]	64.800
	クロック周波数引込範囲	$\Delta f/f_{CLK}$	[ppm]	<b>±200</b>
	キャリア周波数引込範囲	f <sub>AFC</sub>	[MHz]	<b>±5</b>
	クロック周波数 オフセット補正	jhkfrq	HEX(DEC)	6740h (26,432)
	キャリア AFC ループ利得補正	afcg	HEX(DEC)	4Dh (77)

## 10.5 IQベースバンドモード (XT=4MHz)

XSEL1=1, XSEL0=1			標準クロック (クリスタル) 周波数 [MHz]
項目	記号	単位	4.000
マスタクロック周波数	MD	[MHz]	78.000
OFDM	IF 周波数	IF	0.000
	データ周波数	FS	65.015873
	シリアル TS クロック	$f_{\text{OFDM}}$	39.000
	クロック周波数引込範囲	$\Delta f/f$	$\pm 203$
	キャリア周波数引込範囲	$f_{\text{AFC}}$	$\pm 250$
	標準クロック分周比	ixdiv	02h (2)
	PLL 分周比	ilpdiv	27h (39)
	クロック周波数 オフセット補正	hkfrq	3320h (13,088)
	キャリア周波数 オフセット補正	cpId_dt	0h(0)
	キャリア AFC ループ利得補正	affrq	0AAh(170)
	デジタルフィルタ	lpfsI	0h(0)
	周波数極性	f_inv	0
PSK	シンボルレート	JFS	28.860
	シリアル TS クロック	$f_{\text{PSK}}$	62.400
	クロック周波数引込範囲	$\Delta f/f_{\text{CLK}}$	$\pm 200$
	キャリア周波数引込範囲	$f_{\text{AFC}}$	$\pm 5$
	クロック周波数 オフセット補正	jhkfrq	59F2h (23,026)
	キャリア AFC ループ利得補正	afcg	50h (80)

## 11. 電気的特性

## 11.1 絶対最大定格

AD\_AVSS=AD\_DVSS=JAD\_AVSS=JAD\_DVSS=JAD\_LVSS=XOVSS=PLLVS=VSS=0V 規準とする。

項 目	記 号 (注 <sup>1</sup> )	定 格 (注 <sup>4</sup> )	単位
電源電圧	VDDS	-0.3 ~ +3.9	V
	DR2VDD	-0.3 ~ +3.0	
	AD_DVDD	-0.3 ~ +3.0	
	JAD_DVDD	-0.3 ~ +3.0	
	AD_AVDD	-0.3 ~ +3.0	
	JAD_AVDD	-0.3 ~ +3.0	
	XOVDD	-0.3 ~ +3.0	
	PLLVD	-0.3 ~ +3.0	
	VDDC	-0.3 ~ +1.7	
	DR1VDD	-0.3 ~ +1.7	
	JAD_LVDD	-0.3 ~ +1.7	
入力電圧	VINA	-0.3 ~ VDDS+0.3	V
	VINB	-0.3 ~ +5.5 (注 <sup>2</sup> )	
	AIN	0.0 ~ AD_AVDD	
	JAIN	0.0 ~ JAD_AVDD	
	XIN	0.0 ~ XOVD	
出力電圧	VOU	-0.3 ~ VDDS+0.3	V
入力電流	IIN	±10 (注 <sup>3</sup> )	mA
保存温度	Tstg	-40 ~ +125	°C

注1) VDDS, VINA, VOU : 3.3Vインタフェースの定格値

VINB : 5V耐圧インタフェースの定格値

DR1VDD, DR2VDD : DRAMセルの定格値

AD\_AVDD, AD\_DVDD, JAD\_AVDD, JAD\_DVDD,

JAD\_LVDD, X\_VDD, PLL\_VDD : アナログセルの定格値

VDDC : 内部セルの定格値

AIN : OFDM用ADC入力の定格値

JAIN : PSK用ADC入力の定格値

XIN : XI入力の定格値

注2) I<sup>2</sup>CおよびSYRSTN端子は 5V入力可能

注3) プルダウン／プルアップ付き端子を除く

注4) 本ICは高電界下にて長時間放置した場合、誤動作する可能性があります。ICの配置位置をCRTから十分に離して (20cm以上) 設置してください。もし十分な距離が確保できない場合はシールド板で遮蔽してください。

**※本製品は静電耐圧が低くなっております。取り扱いには十分ご注意ください。**

## 11.2 動作条件

AD\_AVSS=AD\_DVSS=JAD\_AVSS=JAD\_DVSS=JAD\_LVSS=XOVSS=PLLVS=VSS=0V 規準とする。

項目	記号	最小	標準	最大	単位
電源電圧	VDDS	3.0	3.3	3.6	V
	DR2VDD	2.3	2.5	2.7	
	AD_DVDD	2.3	2.5	2.7	
	JAD_DVDD	2.3	2.5	2.7	
	AD_AVDD	2.3	2.5	2.7	
	JAD_AVDD	2.3	2.5	2.7	
	XOVDD	2.3	2.5	2.7	
	PLLVD	2.3	2.5	2.7	
	VDDC	1.1	1.2	1.35	
	DR1VDD	1.1	1.2	1.35	
	JAD_LVDD	1.1	1.2	1.35	
マスタクロック周波数 (注)	MD	76.157	—	83.000	MHz
クロックデューティ比	Duty	45	50	55	%
クロック入力レベル	XIN	0.5	—	XOVDD	Vp-p
動作周囲温度	Ta	-20	—	+85	°C

注) 動作周波数はクロック動作モードで異なります。

**【重要】** マスタクロック周波数の下限値 76.157MHz を下回る条件では正常に復調動作できません。  
 クリスタルの中心周波数偏差、さらに経年変化も考慮して常に下限値以上のマスタクロック  
 周波数となるようにしてください。

## 11.3 電気的特性 (DC特性)

AD\_AVSS=AD\_DVSS=JAD\_AVSS=JAD\_DVSS=JAD\_LVSS=XOVSS=PLLSS=VSS=0V 規準とする。

特に指示のない場合は、VDDC=DR1VDD=JAD\_LVDD=1.2V、AD\_AVDD=AD\_DVDD=JAD\_AVDD=JAD\_DVDD=DR2VDD=XOVDD=PLLVD=2.5V、VDDS=3.3V、Ta=25°C

記号	項目	条件	最小	標準	最大	単位	該当端子
VIH	高レベル 入力電圧	3.3V I/F	—	2.0	—	V	1),2),3),5)
		5V I/F	—	0.8VDDS	—		6)
VIL	低レベル 入力電圧	3.3V I/F	—	—	0.8	V	1),2),3),5)
		5V I/F	—	—	0.2VDDS		6)
IIH	高レベル 入力電流	3.3V I/F	VINA=VDDS	-10	—	μA	1),2)
		5V I/F	VINB=VDDS	10	—		3),5)
IIL	低レベル 入力電流	3.3V I/F	VINA=VSS	-10	—	μA	1),3),5)
		5V I/F	VINB=VSS	-200	—		2)
IOZ	出力 リーク電流	3.3V I/F	VOUTA=VDDS またはVSS	-10	—	μA	4)
		5V I/F		10	—		5)
VOH	高レベル 出力電圧	3.3V I/F	IOH=-4mA	VDDS-0.6	—	V	4),5)
		5V I/F	IOH=-1μA	VDDS-0.05	—		6)
VOL	低レベル 出力電圧	3.3V I/F	IOL=4mA	—	0.4	V	4),5)
		5V I/F	IOL=1μA	—	VSS+0.05		6)
AD_VREFP	OFDM用ADC基準電圧1	AD_VREFと AD_CM接続時	—	1.4×AD_CM	—	mV	N12
AD_CM	OFDM用ADC基準電圧2	—	—	0.5×AD_AVDD	—	mV	M10
AD_VREFN	OFDM用ADC基準電圧3	AD_VREFと AD_CM接続時	—	0.6×AD_CM	—	mV	M11
AIN	OFDM用ADC入力振幅	差動	—	0.5	—	Vp-p	7)
		シングルエンド	—	1.0	—		
AIN_DC	OFDM用ADC入力DC電圧	—	—	1.25	—	V	7)
JAD_CM	PSK用ADC基準電圧	—	—	0.5×AD_AVDD	—	mV	R6
JAIN	PSK用ADC入力振幅	差動	—	0.375	—	Vp-p	8)
		シングルエンド	—	0.75	—		
JAIN_DC	PSK用ADC入力DC電圧	—	—	1.25	—	V	8)
XIN	XI入力振幅	—	0.5	—	XOVDD	Vp-p	R9
XOUT	XO, XCKO出力振幅	—	1.0	—	XOVDD	Vp-p	R7,R8
FIL	FIL出力DC電圧	—	PLLSS	—	PLLVD	V	R10
IDDC	DR1VDD,VDDC,JAD_LVDD消費電流 (注1)	1.35V (標準1.2V)	—	120 (注2)	207	mA	—
IDDS	VDDS消費電流 (注1) (注3)	3.6V (標準3.3V)	—	10 (注2)	12	mA	—
IDD2D	DR2VDD,AD_DVDD,JAD_DVDD消費電流 (注1)	2.7V (標準2.5V)	—	8 (注2)	10	mA	—
IDDA	JAD_AVDD,PLLVD,AD_AVDD,XOVDD消費電流 (注1)	2.7V (標準2.5V)	—	45 (注2)	50	mA	—

## 該当端子

- 1) B1, B2
- 2) A2, A3, D3
- 3) B3, B14, C3, C7, C9, C12, C13, H1, H2, J1, J2, J14, J15, K1, K2, K14, K15, L2, L14, L15, M15, R15
- 4) A1, A4, A5, A6, A7, A8, A9, A10, A11, A12, A13, A14, A15, B4, B5, B6, B7, B8, B9, B10, B11, B12, B13, D14, D15, E14, E15, F14, F15, G14, G15, H14, H15
- 5) C1, C2, D1, D2, E1, E2, F1, F2, G1, G2, L1, N1, N14, P15
- 6) B15, C14, C15, M1, M2, M14, N15
- 7) R11, R12, R13, R14
- 8) R2, R3, R4, R5

注1) ダイレクト IF モード動作（クロック周波数 25.4MHz）、OFDM/PSK 同時動作

注2) 標準電源電圧条件

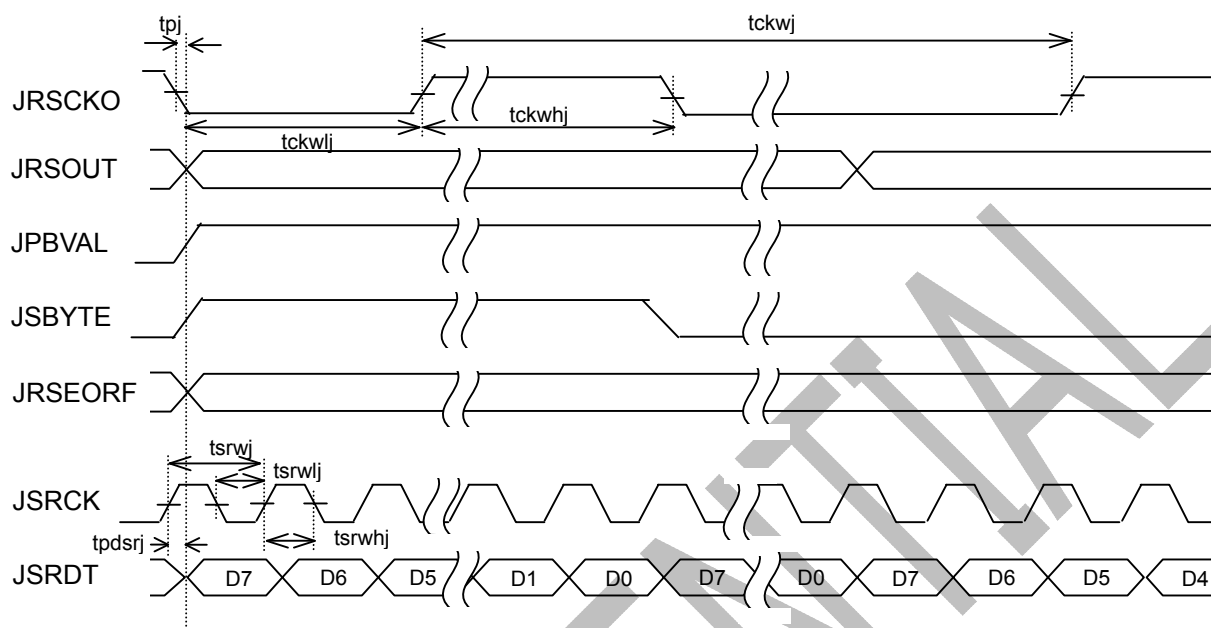
注3) シリアル TS 出力、RF\_AGC と IF\_AGC 出力

CONFIDENTIAL



## 11.4 電気的特性 (AC特性)

## 11.4.1 衛星デジタル復調のTS出力インタフェース



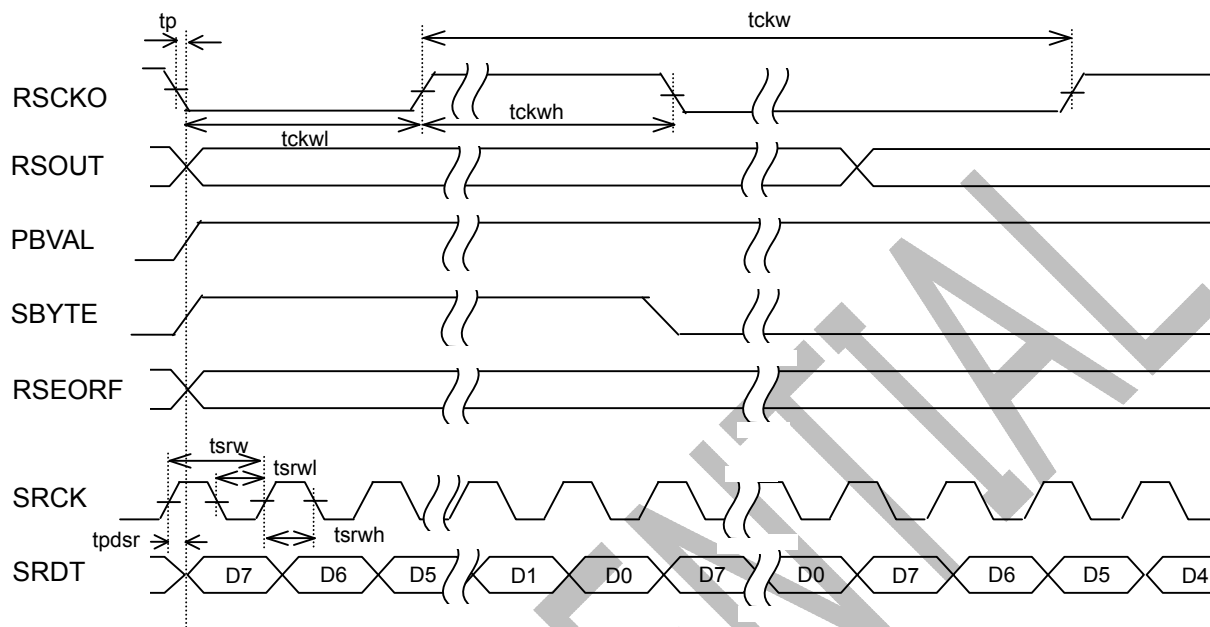
項目	記号	条件	規格値			単位
			最小	標準	最大	
パラレル TS クロック周期 <sup>注1)</sup>	tckwj	—	120	—	(注3)	ns
パラレル TS クロック “H” 期間	tckwhj	—	56	—	—	ns
パラレル TS クロック “L” 期間	tckwlj	—	56	—	—	ns
パラレル TS クロックから データ出力遅延時間	tpj	JRSCO 立下りから JRSOUT[7:0], JPBVAL, JSBYTE, JRSEORF	-3	—	3	ns
シリアル TS クロック周期 <sup>注2)</sup>	tsrwj	—	15	—	(注3)	ns
シリアル TS クロック “H” 期間	tsrwhj	—	6	—	—	ns
シリアル TS クロック “L” 期間	tsrwlj	—	6	—	—	ns
シリアル TS クロックから データ出力遅延時間	tpdsrj	JSRCK 立ち上りから JSRDT, JPBVAL, JSBYTE, JRSEORF	-3	—	2	ns

注1) JRSCO は周期一定ではありません。データ周波数と基準クロック周波数の同期のために、間引きクロックから作られており、デューティ比が変化します。

注2) JSRCK は周期一定ではありません。データ周波数と基準クロック周波数の同期のために、間引きクロックから作られており、デューティ比が変化します。

注3) 選択した TS のスロット数に依存

## 11.4.2 地上デジタル復調のTS出力インタフェース



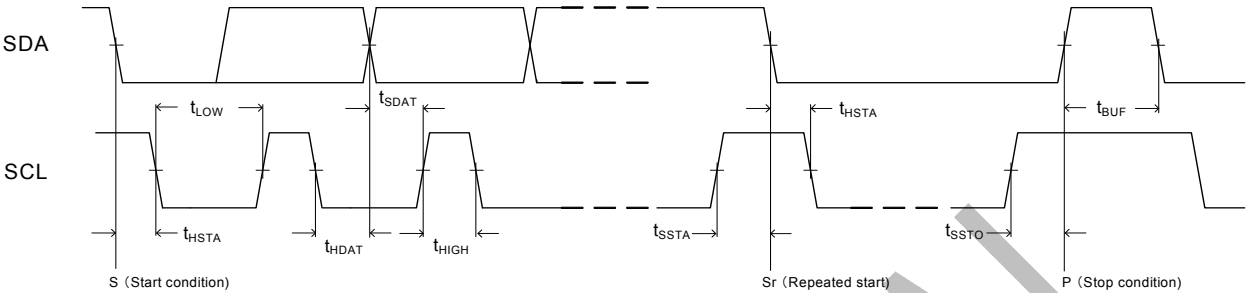
項目	記号	条件	規格値			単位
			最小	標準	最大	
パラレル TS クロック周期 <sup>注1)</sup>	tckw	—	196	—	296	ns
パラレル TS クロック “H” 期間	tckwh	—	92	—	—	ns
パラレル TS クロック “L” 期間	tckwl	—	92	—	—	ns
パラレル TS クロックから データ出力遅延時間	tp	RSCKO 立下りから RSOUT[7:0], PBVAL, SBYTE, RSEORF	-3	—	3	ns
シリアル TS クロック周期 <sup>注2)</sup>	tsrw	—	24	—	78.8	ns
シリアル TS クロック “H” 期間	tsrwh	—	10	—	—	ns
シリアル TS クロック “L” 期間	tsrl	—	10	—	—	ns
シリアル TS クロックから データ出力遅延時間	tpdsr	SRCK 立ち上がりから SRDT, PBVAL, SBYTE, RSEORF	-3	—	3	ns

注1) RSCKO は周期一定ではありません。データ周波数と基準クロック周波数の同期のために、間引きクロックから作られており、デューティ比が変化します。

注2) SRCK は周期一定ではありません。データ周波数と基準クロック周波数の同期のために、間引きクロックから作られており、デューティ比が変化します。

### 11.4.3 I<sup>2</sup>C インタフェース

TC90512 の I<sup>2</sup>C インタフェースは 400kHz で動作可能です。チューナ用スルーライトとリードの場合も同様です。



	項目	記号	最小	標準	最大	単位
バス	SCLクロック周波数	$f_{SCL}$	0	—	400	kHz
	スタート条件 ホールド時間	$t_{HSTA}$	0.6	—	—	$\mu s$
	SCL クロックの"L"期間	$t_{LOW}$	1.3	—	—	$\mu s$
	SCL クロックの"H"期間	$t_{HIGH}$	0.6	—	—	$\mu s$
	再送スタート条件 セットアップ時間	$t_{SSTA}$	0.6	—	—	$\mu s$
	SDAデータ入力 ホールド時間	$t_{HDAT}$	0	—	—	$\mu s$
	SDAデータ入力 セットアップ時間	$t_{SDAT}$	0.1	—	—	$\mu s$
	ストップ条件 セットアップ時間	$t_{SSTO}$	0.6	—	—	$\mu s$
	バス・フリー時間	$t_{BUF}$	1.3	—	—	$\mu s$

### 11.5 電源の投入遮断

複数電源の投入遮断は同時（100ms 以内）に行ってください。この条件が満たされないと故障の原因になる場合があります。（ただし、電圧に応じて順に投入、遮断する必要はありません。）



特に AGC 制御出力は端子直近に  $10\text{k}\Omega\sim 20\text{k}\Omega$  程度の抵抗を用いると効果的です。

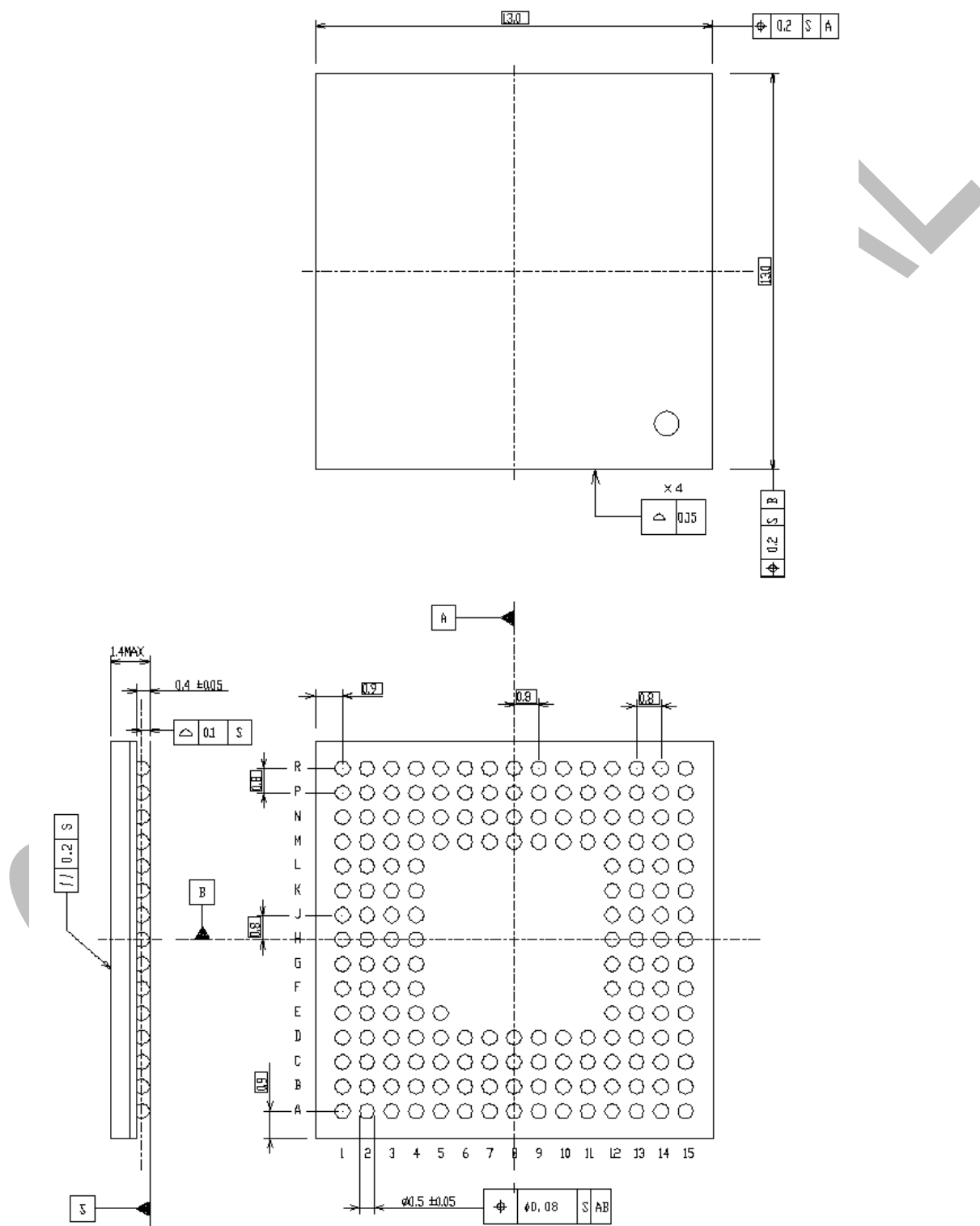
※ アナログ 2.5V 電源 (A2.5V) とデジタル 2.5V 電源 (D2.5V) は独立に供給することを推奨します。

※ PLLVDD および XOVDD は雑音対策としてアナログ 2.5V 電源 (A2.5V) からコイル等でアイソレーションして供給することを推奨します。

※ JAD\_LVDD は雑音対策としてデジタル 1.2V (D1.2V) からコイル等でアイソレーションして供給することを推奨します。

CONFIDENTIAL

177 ピン PFBGA  
(P-FBGA177-1313-0.80C4)



## 改訂履歴

2006/06/15	rev.100		
2006/07/24	rev.101	8.3	レジスタ一覧の jtsld, jtslc, jtslb, jtsla の説明を修正
		8.4.2	レジスタ一覧の jhkfrq の説明で(上位 32bit)を削除
		9.4.2	信号系統表で STSFLG1 と STSFLG0 の説明を修正
2006/08/10	rev.102	11.4.3	I2C タイミング図を追加(TC90502 から使用上の変更はありません)
2006/08/17	rev.103	表紙	消費電力 typ を 350m W から 310mW に変更
		1.3	消費電力 typ を 350m W から 310mW に変更
		2.	スタンバイからの復帰に関する説明を修正
		4.	SYRSTN, SCL, SDA, TNSCL, TNSDA, JTNSCL, JTNSDA をプルダウンなしに修正、注釈を修正、XCKO の備考を修正
		5.2.1	PSK 復調レジスタマップにアドレス 51h, 52h, 53h, 5Ah, 5Bh を追加
		6.	レジスタ一覧の adfs の説明を変更(差動間電圧の表記に変更)
		6.1	3) ADC ダイナミックレンジに adfs の説明を追加
			4)規定入力レベルを差動間電圧 0.375Vp-p に変更
		6.4	図 6.4, 6.5, 6.6 に XCKOSL を追加、注釈を修正
			レジスタ一覧の ixckosl と ixosl のアドレス等を修正
			XCKO 出力は非反転クロックに修正
		6.5	OFDM の IF 周波数に関する説明を追加
			レジスタ一覧の iexdiv の説明を修正
		6.7	JOEN の説明を修正(isyrst で取り込まれる)
		8.3	レジスタ一覧の jport の説明を修正、注釈を修正
		8.3	JRLOCKL と JRLOCKH の説明を修正
			レジスタ一覧に jhseout を追加
		8.6	レジスタ一覧に pllhmax(アドレス 51h), pllbhgd (アドレス 52h, 53h) と plqhgd (アドレス 5Ah, 5Bh)を追加
		8.6.1	pllhmax, plqhgd と pllbhgd の説明を追加
		9.3	レジスタ一覧の slpkmon の説明を修正(※を削除)
		9.7.1	(3)の説明を修正
		9.9	レジスタ一覧の cpdmax, schnum, initnum の説明を修正
			レジスタ一覧の sywsoff を削除
		9.9.4	schnum と initnum の説明を修正
		9.10	レジスタ一覧の gr1dly, gr2dly, gr3dly の説明を修正
		9.16	スロットモードをパケットモードに修正
		9.16.8	rulock および rmsk の説明を追加
		9.17	レジスタ一覧の seqen の説明を修正
		11.3	消費電流 IDDA、IDD2D の typ 値を変更
		11.4.1	クロック周期の最大値を修正、注釈を追加
		11.4.2	クロック周期の最大、最小値を修正
2006/08/22	rev.104	4.	端子機能の J3 を修正(VDDS→VDDC)
2006/09/13	rev.105	5.2.1	レジスタマップの自動設定されるレジスタ初期値を XSEL に修正
			注釈に自動設定の説明を追加
		5.2.2	レジスタマップの自動設定されるレジスタ初期値を XSEL に修正
			注釈に自動設定の説明を追加
			OFDM レジスタマップのアドレス 7Fh を"R"(READ)に変更
		6.4.3	レジスタ一覧の ixosl の説明を修正
		9.7.4	レジスタ一覧の lpsfl の初期値を修正
		9.7.5	レジスタ一覧の dpstep の初期値を修正
2006/10/05	rev.106	5.2.2	OFDM レジスタマップのアドレス C7h を"W"(WRITE)に変更
		11.3	消費電流の最大値を記載
		12.	応用回路図で、TESI5 と DTMB の処理を修正
2006/10/20	rev.107	11.1	最大絶対定格を修正、注意文言追加
		p.2	注意文言追加

2006/10/20	rev.108	5.2.2	OFDM レジスタマップのアドレス 04h 初期値を XCKOSL に修正、ixosl の初期値を 0 に修正(XCKOSL には連動しない)
2006/11/20	rev.109	5.2.2 9.1.3	OFDM レジスタマップのアドレス 5Fh(plroff)を追加 PLR の説明とレジスタ一覧を追加
2006/11/23	rev.110	11.3	DC 特性の IIH(5V I/F)と IOZ(5V I/F)の数値を修正 JAD_CM の typ.値を $0.5 \times AD\_AVDD$ に修正
2006/12/12	rev.111	8.1	<u>PSK 復調部の psksyrst の説明を修正。(電源投入時のパワーオンリセット SYRSTN に加え、psksyrst="1"も必要)</u>
2007/01/16	rev.112	9.16.5 9.16.6	時間モードのレジスタ cyc 設定による測定周期を修正 (Mode3 のみ) 時間モードのレジスタ cyc 設定による測定周期を修正 (Mode3 のみ)
2007/01/30	rev.113	4.	AGCCNTR の備考を修正
2007/02/28	rev.114	9.5.2 11.4.1 9.16 9.16.5 9.16.6	4MHz IF モードまたは IQ ベースバンドモード (XT=4MHz) の場合の設定値を修正 tpdsrj の条件から JRSOUT を削除、最大値を 2ns に修正 レジスタ一覧の cyc の説明を修正 Mode1,2 時間モードのレジスタ cyc 設定範囲を修正 Mode1,2 時間モードのレジスタ cyc 設定範囲を修正
2007/03/08	rev.115	8.3.4	emgmks="1"設定時の emgcy 動作の説明を修正(emgmks="1"は emgcy には反映されず JSTSFLG0 のみ反映される)
2007/05/07	rev.116	P.2	注意事項を追加
2007/05/08	rev.117	5.2.1 8.10.2	アドレス 57h に tston を追加 コンステレーション出力の説明を追加